

УДК 681.325.5-181.4

Глухов В.С., Заїченко Н.В., Маковей В.Г.*

ДУ “Львівська політехніка”, кафедра ЕОМ,

*Львівський науково-дослідний радіотехнічний інститут

СПЕЦІАЛІЗОВАНА ЕОМ З ТАБЛИЧНИМ ІНТЕРПРЕТАТОРОМ КОМАНД

© Глухов В.С., Заїченко Н.В., Маковей В.Г., 2000*

Описані принципи модернізації апаратної частини процесорного ядра спеціалізованої обчислювальної системи (СОС) із збереженням її програмного забезпечення. При модернізації були змінені типи центрального процесора та співпроцесора, внаслідок чого помінялися їхні системи команд, але записане до ПЗП СОС програмне забезпечення залишилося незмінним.

Модернізація великих обчислювальних систем пов'язана зі значними витратами, тому дуже часто вона проводиться поетапно. При цьому модернізація окремих вузлів не повинна позначитися на роботі інших складових частин комплексу (апаратних або програмних), які в даний час модернізації не підлягають.

Основна мета модернізації – покращання технічних характеристик, але потреба в модернізації може виникнути внаслідок припинення випуску застосованих раніше комплектуючих виробів.

В даній статті описана модернізація апаратної частини процесорного ядра спеціалізованої обчислювальної системи (СОС) із збереженням її програмного забезпечення.

СОС складається з центрального процесора (ЦП) - універсального обчислювача на базі мікро-ЕОМ MC12101M [1], спеціалізованого математичного обчислювача (СО) [2], двопортової пам'яті та великого набору периферійних пристроїв. ЦП та СО утворюють процесорне ядро. Модернізація полягала в реалізації функцій ЦП та СО за допомогою мікропроцесорів i386EX-25 МГц та i387SX, системи команд яких суттєво відрізняються від систем команд ЦП та СО. При цьому зберігалось все розроблене (на мові Асемблера) програмне забезпечення СОС. Для розробки програмного забезпечення існуючої СОС використовувалися крос-засоби ПОМПА [3], які функціонували на ЕОМ типу SM4, SM1420, ПЕОМ “Електроніка MC0585”, а також крос-засоби ЛК, які функціонують на ІВМ РС [4, 5].

Спрощена функціональна схема згаданої СОС наведена на рис. 1. Для створення локальної обчислювальної мережі використовується мультиплексний послідовний канал (МПК) згідно з ГОСТ 26765.52-87 (Манчестер-2). Управління каналом виконує контролер (К), який входить до складу ЦП. Функціональні вузли СОС з'єднуються за допомогою двох магістралей Q-bus – магістральних паралельних інтерфейсів (МПІ) згідно з ГОСТ 26765.51-86.

Основний інтерфейс призначений для під'єднання периферійних пристроїв та (на етапі налагодження) засобів налагодження. В режимі роботи СОС, який називається режим “Моно”, СО працює з двопортовою пам'яттю по основному інтерфейсу. В режимі роботи СОС “Стерео” робота СО з пам'яттю здійснюється через допоміжний інтерфейс. Тільки в

цьому режимі пам'ять працює як двопортова. Режим роботи визначається відповідним бітом в РС ЦП. Щоби уникнути конфліктів при звертанні до пам'яті в режимі “Моно”, використовується стандартна процедура захоплення шини Q-Bus – послідовність сигналів запиту магістралі (ЗМ), дозволу захоплення магістралі (РЗМ – разрешение захвата магістралі) і підтвердження захоплення (ПЗ). Арбітром в цій ситуації виступає ЦП. Для пояснення взаємодії універсального процесора і СО на функціональній схемі частково показані складові частини шини МПІ – шина адреси АДР, шина даних ДАН і шина управління УПР. Інтерфейси МПІ характеризуються низькою швидкістю – у розглянутій СОС цикл звертання до пам'яті по шині МПІ становить приблизно 2 мкс. Це створює додатковий резерв часу при інтерпретації систем команд ЦП і СО у реальному масштабі часу.

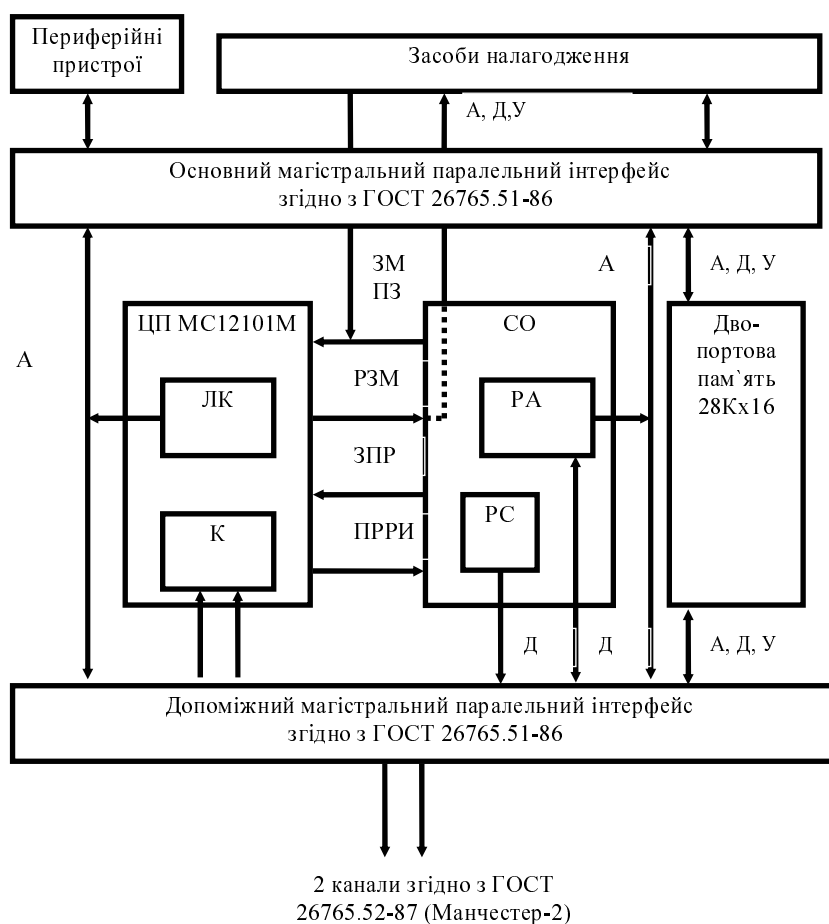


Рис.1

Особливістю даної СОС є те, що взаємодія універсального процесора і СО побудована на засадах взаємодії процесора і каналу (математичний СО є “математичним каналом”). Тобто, СО має власний лічильник команд, власну систему команд, яка не збігається з системою команд універсального процесора, і СО може виконувати власні програми. В роботу його запускає ЦП, після чого відбувається паралельна робота ЦП і СО.

Для ЦП СО є активним зовнішнім пристроєм, звернення до якого виконується за двома адресами: реєстра адреси (РА) і реєстра стану (РС). РА і РС забезпечують запуск СО та контроль його стану. ЦП ініціює роботу СО записом в РА адреси початку каналної

програми. Після запуску СО використовує РА як лічильник команд. Програма СО, вхідні дані для СО і результати його роботи знаходяться в двопортовій пам'яті.

Канальна програма СО складається з послідовності команд різних типів:

- команд виконання арифметичних дій над 16-розрядними числами з фіксованою комою;
- команд виконання арифметичних дій над 32-розрядними числами з плаваючою комою в форматі DEC;
- команд пересилання і перетворення форматів;
- команд обчислення елементарних функцій (32-розрядні числа з плаваючою комою в форматі DEC);
- команд управління (умовні та безумовні переходи);
- команд закінчення виконання програми (HLT, TRAP).

СО припиняє виконання своєї програми по команді зупинки або при виявленні помилок в процесі виконання програми, при цьому СО встановлює відповідні ознаки в РС. СО забезпечує можливість видачі маскованих переривань.

Елементною базою ЦП є мікропроцесорний набір серії 1806 з мікропроцесором H1806BM2. СО побудований за принципами мікропрограмованого спеціалізованого процесора; елементна база для нього змінювалася від серії 1804 (аналог Am2900) [6, 7] до серії 1843 (аналог Am29C300) [2].

Для описаної СОС існує значна кількість периферійних пристроїв, а також відпрацьованих програм для ЦП і СО, в тому числі і технологічних, які забезпечують роботу з пультовим терміналом і іншими засобами налагодження як по системній шині МПП, так і по інтерфейсу локальної обчислювальної мережі "Манчестер-2".

При переході на сучасну елементну базу за основу для модернізації описаної СОС були взяті 16-розрядний мікропроцесор Intel386EX [8] і математичний сопроцесор Intel387SX [9], які призначені для використання у вбудованих системах в жорстких (industrial, промислових) умовах експлуатації. При цьому постала задача створення за короткий час нового центрального процесора – функціонального аналога існуючим ЦП та СО, який забезпечував би зменшення габаритів, споживання і, головне, збереження існуючого доробку СОС: набору периферійних пристроїв – давачів інформації і виконавчих механізмів, а також програмного забезпечення ЦП та СО.

Тобто повинні зберегтися:

- функціональні характеристики СОС;
- часові характеристики СОС;
- технологічні засоби налагодження апаратури і програмного забезпечення;
- програмне забезпечення ЦП та СО на рівні машинних кодів;
- інтерфейс локальної мережі;
- системний інтерфейс.

Тривіальним рішенням даної задачі є використання інтерпретатора із складу засобів ЛІК – через те, що він функціонує на інструментальній ЕОМ, яка в основі має також мікропроцесор фірми Intel з системою команд, аналогічною і386, і призначений саме для інтерпретації вищезгаданих ЦП та СО.

Але використання такого інтерпретатора не забезпечує виконання основної умови - збереження часових характеристик СОС, оскільки:

1) інтерпретовані коди команд дешифруються програмними засобами, що займає багато часу (так, в середньому, час інтерпретації програм СОС на комп'ютері з ЦП, аналогічним і386, перевищує реальний час їх виконання в СОС в 20 разів);

2) СО порівняно із математичним сопроцесором Intel387SX, який використовується в парі з і386ЕХ, має більшу обчислювальну потужність (таблиця 1);

3) при інтерпретації можливе лише послідовне виконання програм ЦП та СО, а в інтерпретованій СОС ЦП та СО можуть виконувати свої програми одночасно і паралельно.

Таблиця 1

Параметр	Значення параметрів			
	[6, 7]	[2]	Описаний в даній роботі	Процесор інструментальної ЕОМ
Сопроцесор (СЕОМ)				
Рік розробки	1985	1995	1997	1989
Тактова частота, МГц	25	3	25	25
Елементна база	1804, 1802	1843	і386ЕХ+ і387SX	і486
Технологія	ТТЛШ	КМОН	КМОН	КМОН
Об'єм ПЗП мікрокоманд, слів	2 К	2 К		
Розрядність мікрокоманди	88	80		
Габарити, мм	170x200	170x200	170x200	
Споживання, Вт	30	13	8	
Час виконання операцій над 32-розрядними числами з ПК (DEC), мкс:				
додавання, віднімання	7,0	0,6	6,0	0,8
множення	6,0	0,6	6,0	0,6
ділення	9,0	4,0	8,0	2,9
сінус, косінус	30,0	6,0	30,0	14,6
арктангенс	40,0	6,0	40,0	12,1
експонента		6,0	30,0	9,7
корінь квадратний	11,0	6,0	12,0	3,5

Для вирішення даної задачі був вибраний табличний спосіб інтерпретації систем команд ЦП та СО системою команд і386 із застосуванням макросів, які виконують роль інтерпретаторів драйверів (робота з таймером, каналами “Манчестер-2” тощо).

Використання макросів дозволяє значно прискорити виконання програм ЦП та СО в середовищі і386, оскільки при цьому процес інтерпретації послідовності окремих команд ЦП або СО замінюється інтерпретацією підпрограм та драйверів.

Крім того, за основу було взяте забезпечення реального масштабу часу виконання не кожної окремої команди, а їхньої послідовності – програми.

Вирішення задачі полегшується тим, що цикл звертання до пам'яті СОС по шині МПІ дорівнює приблизно 2 мкс, а сучасні мікросхеми пам'яті еквівалентного об'єму в складі мікропроцесорної системи забезпечують час циклу 40...100 нс. Тобто, інтерпретація однієї найкоротшої команди ЦП СОС, для виконання якої потрібне одне звертання до пам'яті СОС, може здійснюватись програмою процесора і386, при виконанні якої відбувається 20...50 циклів звертання до пам'яті цього процесора.

Для розуміння пропонованого табличного методу інтерпретації необхідно розглянути особливості форматів команд ЦП та СО.

Команди ЦП можуть бути одно-, дво- і трислівними (кожне слово складається з двох байтів). Друге і третє слова містять або самі операнди, або адреси операндів. Більш складну структуру має перше слово команди. Відповідно воно більш важливе при інтерпретації.

Формати однооперандних і двооперандних команд ЦП наведені відповідно на рисунках 2 і 3. Принципи побудови системи команд ЦП були покладені розробниками в основу системи команд СО [2, 4, 5]. Формати однооперандних і двооперандних команд СО наведені на рисунках 4 і 5 відповідно. На рисунках 2...5 позначено:

КОП – код операції;

ТА, ТА_Д, ТА_П - тип адресації відповідно операнда, джерела і приймача;

РЗП, РЗП_Д, РЗП_П – реєстри загального призначення відповідно операнда, джерела і приймача.

15...6 розряди	5...3 розряди	2..0 розряди
КОП	ТА	РЗП

Рис.2.

15...12 розряди	11...9 розряди	8...6 розряди	5...3 розряди	2..0 розряди
КОП	ТА_Д	РЗП_Д	ТА_П	РЗП_П

Рис.3.

15...5 розряди	4, 3 розряди	2..0 розряди
КОП	ТА	РЗП

Рис.4.

15...10 розряди	9, 8 розряди	7...5 розряди	4, 3 розряди	2..0 розряди
КОП	ТА_Д	РЗП_Д	ТА_П	РЗП_П

Рис.5.

Найбільш складною є інтерпретація у реальному масштабі часу команд з тільки реєстровими типами адресації, оскільки вони мають мінімальну кількість звернень до пам'яті через повільний інтерфейс МПІ – одне звернення власне за командним словом. Виходячи з цього, був визначений основний часовий критерій для розробки інтерпретатора реального часу команд ЦП – час інтерпретації реєстрових команд не повинен перевищувати часу звернення ЦП до пам'яті за командним словом в прототипній СОС, тобто 2 мкс.

При інтерпретації команд з іншим типом адресації з'являються додаткові резерви часу – по 2 мкс на кожне звернення за операндом або його адресою.

Запропонований табличний метод інтерпретації полягає в попередній (перед занесенням програм до пам'яті) модифікації кодів команд (точніше, полей кодів операцій - КОП) ЦП і СО так, щоби модифікований код (МК) операції збігався з адресою початку інтерпретуючої програми мікропроцесора i386EX. Тобто, наперед розрахована таблиця зв'язує коди команд і адреси програм інтерпретації даних команд. Керуюча програма інтерпретатора, названа MainLoop, здійснює послідовне зчитування модифікованих кодів команд і швидкий перехід на початок програми інтерпретації, користуючись засобами, які надає система команд інтерпретуючого мікропроцесора i386EX. При цьому задіяні такі ресурси i386EX:

- реєстр SI – лічильник команд ЦП;
- реєстри CX та BX – реєстри для зберігання біжучого відповідно немодифікованого і модифікованого кодів команди;
- сегментні реєстри DS та ES – вказують на сегмент пам'яті, де зберігаються відповідно немодифіковані та модифіковані коди команд.

Лістинг фрагмента керуючої програми (MainLoop) на мові Асемблера наведений нижче.

Mainloop:

```
MOV  CX, DS:[SI] ; читання немодифікованого кода команди в
                ; реєстр CX , двобайтова команда з однобайтовим
                ; префіксом (усього 3 байта), час виконання - 2
                ; цикли.
MOV  BX, ES:[SI] ; читання модифікованого кода команди в
                ; реєстр BX, двобайтова команда з однобайтовим
                ; префіксом (усього 3 байта), час виконання - 2
                ; цикли.
ADD  SI,2       ; інкремент лічильника команд, чотирибайтова
                ; команда, час виконання – 7 циклів.
JMP  BX        ; швидкий безумовний перехід по вмісту
                ; реєстра BX на виконання програми
                ; інтерпретації команди або програми обробки
                ; переривання.
                ; Двобайтова команда, час виконання – 9 циклів.
```

Усього перехід на програму інтерпретації кожної команди (тобто дешифрація команди) потребує 480 нс для читання 12 байтів за 6 звернень до пам'яті (звернення до пам'яті при швидкодії пам'яті 70 нс здійснюється за 2 процесорних цикли, тобто за 80 нс).

Виконання даної програми вимагає 20 процесорних циклів, тобто 800 нс.

Нижче наведений приклад інтерпретації короткої команди пересилання типу “регістр–регістр” `MOV R0,R1`. Усім регістрам ЦП і СО під час інтерпретації ставляться у відповідність комірки швидкої пам’яті процесора i386EX. Тоді, інтерпретація даної команди на процесорі i386 буде здійснюватися послідовністю двох його команд:

`MOV reg, mem1` ; двобайтова команда з однобайтовим префіксом
; (усього 3 байта), час виконання – 2 цикли
`MOV mem2, reg` ; двобайтова команда з однобайтовим префіксом
; (усього 3 байта), час виконання – 2 цикли
(reg – один з регістрів загального призначення процесора i386).

Усього при інтерпретації короткої команди потрібно 240 нс для читання 6 байтів за 3 звернення до пам’яті.

Виконання даної програми вимагає 4 процесорних циклів, тобто 160 нс.

Разом з дешифрацією час інтерпретації короткої команди вимагає:

720 нс (480 нс + 240 нс) – на звернення до пам’яті;

960 нс (800 нс + 160 нс) – на виконання програм.

З врахуванням конвеєрної структури процесора i386, тобто перекриття у часі фаз читання команд і їх виконання, дійсний час виконання програм MainLoop і інтерпретуючої буде дорівнювати більший з цих двох величин, тобто 960 нс, що менше 2 мкс, за які дану коротку команду виконує інтерпретований ЦП. Наведені розрахунки є орієнтовними, оскільки точну поведінку конвеєра передбачити неможливо.

Надлишкове при інтерпретації регістрових команд звернення за немодифікованими кодами в програмі MainLoop потрібне для інтерпретації команд з нерегістровими типами адресації, а також для підтримки існуючих технологічних засобів, таких як аналізатор шини Q-Bus. Тільки для забезпечення його роботи в процесі інтерпретації на шину Q-Bus згідно з часовою діаграмою її роботи програмно-апаратними методами видається немодифікований код команди і адреса, де він зберігається.

Слід зазначити, що така інтерпретація команд типу умовних переходів вимагає додаткових операцій з ознаками результату, оскільки формат регістра стану мікропроцесора i386, де ці ознаки зберігаються, відрізняється від формату регістра стану інтерпретованого ЦП.

При застосуванні запропонованого способу інтерпретації розгалуження здійснюється у багато точок. Для зменшення їхньої кількості усі команди поділені на два класи:

1) короткі команди – команди тільки з регістровими типами адресації. Для таких команд адреса переходу (модифікований код) визначається з врахуванням полів КОП і ТА (ТА_Д, ТА_П) лише за допомогою таблиці. При цьому ніякої додаткової програмної дешифрації не потрібно;

2) довгі команди – де є хоча б один не регістровий тип адресації. Для команд цього типу модифікований код визначається таблично з врахуванням лише поля КОП, а подальше розгалуження відповідно до типів адресації виконується програмно, оскільки існує резерв часу за рахунок звертання за операндом по шині Q-Bus.

Описаний підхід був покладений в основу розробки спеціалізованої ЕОМ (СЕОМ), випробовування якої підтвердили правильність закладених принципів інтерпретації і розрахунки її швидкодії.

Розподіл адресного простору СЕОМ наведений у таблиці 2, а її функціональна схема – на рис. 6.

Таблиця 2

На шині Q-Bus (вісімкові коди)		При роботі з швидким ОЗП (шістнадцяткові коди)		При роботі з повільним ПЗП (шістнадцяткові коди)		
Почат-кова адреса на шині Q- Bus	Призна- чення	Почат- кова адреса	Призначення	Об`єм	Почат- кова адреса	Призначення
		03E000	Програма початкової ініціалізації без ПЗП	4К	07E000	Програма початкової ініціалізації з ПЗП
		03A000	Програми і дані і386EX	8К	07A000	Програми і386EX
		036000	МК сторінки 2	8К	076000	МК сторінки 2
		2A0000	Програми і дані і386EX	24К	6A0000	Програми і386EX
		026000	НМК сторінки 2	8К	066000	НМК сторінки 2
		1A0000	Програми і дані і386EX	48К	5A0000	Програми і386EX
		016000	МК сторінки 1	8К	056000	МК сторінки 1
		012000	МК сторінки 0	8К	052000	МК сторінки 0
		010000	МК ЛОС/РОС	4К	050000	МК ЛОС/РОС
160000	ЗП	00E000	Зовнішні пристрої (ЗП)	4К	04E000	Н/В
10000	ОЗП ЦП	00C000	ОЗП ЦП	4К	04C000	Н/В
120000	Н/В	00A000	Н/В	4К	04A000	Н/В
060000	Сто-рінка 1	006000	НМК сторінки 1	8К	046000	НМК сторінки 1
020000	Сто-рінка 0	002000	НМК сторінки 0	8К	042000	НМК сторінки 0
020000	ЛОС/ РОС	000000	НМК ЛОС/РОС	4К	040000	НМК ЛОС/РОС

Умовно адресний простір поділений між інтерпретуючим процесором і інтерпретованим.

Пам'ять інтерпретуючого процесора складається з повільної енергонезалежної постійної пам'яті (ПЗП) та швидкої оперативної пам'яті (ОЗП), куди на етапі початкової ініціалізації переписуються робочі програми з ПЗП.

Функціонально пам'ять інтерпретуючого процесора складається з:

- модуля початкової ініціалізації і тестування (аналог базової системи вводу-виводу);
- сторінкової пам'яті модифікованих програм користувача, що складається із сторінки 0 (не може відключатися і змінюватися на іншу сторінку) і сторінки 1, яка може відключатися і підмінятися іншими сторінками, наприклад, сторінкою 2;
- програмами власне інтерпретатора.

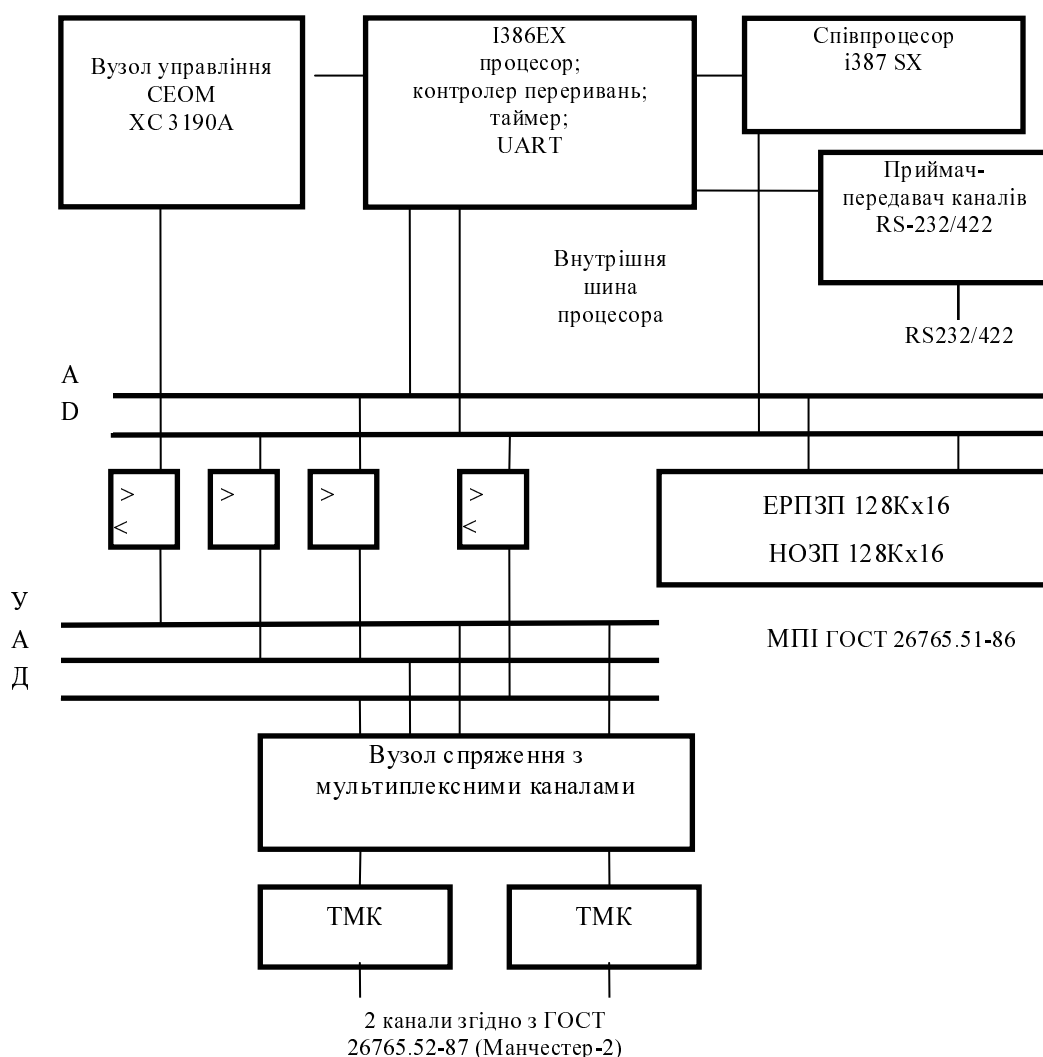


Рис.6

Функціонально пам'ять інтерпретованого процесора розподілена між:

- операційною системою разом з базовою системою вводу-вивода (так званими локальною і розподіленою операційними системами – ЛОС/РОС);
- оперативною пам'яттю МС12101М (ОЗП ЦП);
- сторінковою пам'яттю немодифікованих програм користувача, що складається із сторінки 0 (не може відключатися і змінюватися на іншу сторінку) і сторінки 1, яка може відключатися і підмінятися іншими сторінками, наприклад, сторінкою 2;
- зовнішніми пристроями (ЗП).

Основні функціональні вузли СЕОМ згідно з рисунком 6:

- мікропроцесор Intel386ЕХ-25 МГц з інтегрованими периферійними пристроями;
- математичний сопроцесор Intel387SX;
- електрично репрограмований ПЗП (Flash-пам'ять, 128 Кx16);
- надоперативна пам'ять (НОЗП, 128Кx16);
- вузол спряження з каналами;

- буфери-підсилювачі сигналів шини МПІ (адреси, даних, сигналів управління);
- вузол управління, реалізований на програмованій логічній схемі (ПЛІС) фірми Xilinx.

СЕОМ забезпечує прямий доступ до пам'яті з шини МПІ.

Вузол спряження з каналами забезпечує обмін інформацією СЕОМ з двома мультиплексними каналами згідно з ГОСТ 26765.52-87 і з двома каналами RS-232/422.

Термінали мультиплексних каналів (ТМК) забезпечують роботу в режимах контролера і кінцевого пристрою. Вибір режимів роботи ТМК здійснюється програмним способом.

Реалізація каналів RS-232/422 залежить від варіанта виконання СЕОМ.

ТМК під'єднуються безпосередньо до шини МПІ, а решта вузлів – до внутрішньої локальної шини мікропроцесора.

СЕОМ забезпечує виконання програм, написаних в системі команд згідно з ОСТ 11.305.909-82, а також виконання арифметичних дій над числами з плаваючою комою, обчислення кореня квадратного, експоненти, тригонометричних та обернених тригонометричних функцій.

СЕОМ забезпечує роботу по системній шині МПІ у всіх режимах її роботи згідно з ГОСТ 26765.51-86.

Шинні формувачі з трьома станами, струм навантаження – 12 мА.

Системний роз'єм – СНПЗ4-135.

Кількість послідовних каналів типу RS-232/422 – 2 шт.

Кількість мультиплексних послідовних каналів "Манчестер-2" – 2 шт.

Габарити СЕОМ – 170×200×15 мм (без прийомо-передавачів мультиплексних каналів, які реалізуються у вигляді окремого конструктивного вузла).

Напруга живлення СЕОМ +5 В±5%, струм споживання – 1,2 А.

Маса – 300 г.

Умови експлуатації – гр. 1.10 УХЛ ГОСТ В20.39.304-76.

1. Микро-ЭВМ МС12101М. Технические условия ОЦЗ.059.104 ТУ. 1987. 2. Глухов В.С., Заїченко Н.В. Зменшення апаратних витрат при реалізації мікропрограмних пристроїв // Вісн. ДУ "Львівська політехніка". № 1. 1998. 3. Бальмич В.Н., Кройчик Г.В., Крол С.М., Палий О.Г., Фелезюк Р.В. Семейство кросс-систем ПОМнА. Микропроцессорные средства и системы, 1990. № 4. 4. Бальмич В.Н., Воронов О.М., Крол С.М., Ларін А.Г. Технологія розробки програмного забезпечення мікропроцесорних систем управління з застосуванням програмно-апаратних засобів ЛІК // Тез. II української конф. з автоматичного регулювання "Автомат – 95". 5. В.Н.Бальмич, О.М.Воронов, С.М.Крол, А.Г.Ларін. Комплекс програмно-апаратних засобів ЛІК для розробки програмного забезпечення мікропроцесорних систем управління // Тез. допов. I міжн. наук.-техн. конф. "Математичні моделі в електротехніці і електроенергетиці". 1995. 6. Аронов В.Б., Глухов В.С., Деревенко Я.К., Заїченко Н.В., Федуняк С.Ф. Одноплатный арифметический процессор, подключаемый к магистрали ГОСТ 26765.51-86 и средства обеспечения его серийного производства // Тез. докл. 1-ой научно-техн. конф. НПО "Фазотрон". Москва, 19-21 сентября 1989. 7. Глухов В.С., Заїченко Н.В. Арифметический спецвычислитель с кэш-памятью команд // Тез. докл. 29-ой научно-техн. конф. НПО "Антей" Москва, 1990. 8. Intel386EX Embedded Microprocessor User's Manual. Intel Corporation 1996. 9. Intel387SX Math Coprocessor. Order Number: 240225-009. Intel Corporation. 1992.