

Т.Б. Мартинюк, Г.Л. Лисенко, В.А. Суприган
Вінницький державний технічний університет,
кафедра лазерної та оптоелектронної техніки

ОПТОЕЛЕКТРОННИЙ ПРОЦЕСОР З ПАМ'ЯТТЮ НА ОПТОЕЛЕКТРОННИХ ІНТЕГРАЛЬНИХ СХЕМАХ

© Т.Б. Мартинюк, Г.Л. Лисенко, В.А. Суприган, 2000

Розглянуто методи багатооперандної обробки даних, основні етапи побудови та функціонування цифрового оптоелектронного процесора, який призначений для багаторівневого накопичення двовимірних зображень з постековим кодуванням інформації. Наведено особливості реалізації основних блоків процесора на оптоелектронних інтегральних схемах.

In work the principles of multioperand processing, main stages of building and functioning of digital optoelectronic processor is considered. The optoelectronic processor is intended for multilevel accumulation of two-dimension images with stack coding of the information. The features of realization of the processor's main parts on optoelectronic integrated circuits are submitted.

На сучасному етапі надзвичайної важливості набуває використання багатооперандної обробки числової інформації або макрооперандної організації обчислень. У випадку паралельного складання така організація визначається як оператор групового підсумовування. Відомо дві групи способів обчислення оператора групового підсумовування – почислових і порозрядних, залежно від формування проміжних сум [1].

Однією з основних процедур при виконанні алгоритмів обробки й аналізу зображень вважається накопичення отриманих результатів, поданих у вигляді двовимірних матриць [2]. Якщо при цьому зображення є багаторівневим, то процесору необхідно реалізувати відповідно багаторівневе накопичення матриць зображень.

Отже, актуальною є задача вибору оптимальної математичної моделі оператора групового підсумовування з урахуванням реалізації принципу багатооперандності обробки даних.

Відома структура цифрового оптоелектронного процесора (ЦОЕП), що використовує постековий спосіб кодування інформації в матрицях зображень [3] і поєднує цифровий спосіб обробки й аналоговий спосіб представлення зображень [4]. Такий комбінований підхід при обробці зображень, поданих у просторово-неперервній формі, дозволяє досягти високої точності і значної швидкодії [5]. Для нього характерно представлення розрядних перерізів багаторівневих зображень, тобто бінарних матриць, що містять однойменні розряди зображення, у вигляді оптичних пучків [6]. В результаті процес обробки матриць зображень можна розглядати як обробку окремих бінарних операндів по всьому полю зображення [7].

Метою даної роботи є дослідження можливостей реалізації основних операційних блоків ЦОЕП на оптоелектронних інтегральних схемах (ОІС).

Особливості організації цифрового оптоелектронного процесора

Основними блоками ЦОЕП є оперативні запам'ятовувальні пристрої ОЗП1 і ОЗП2, елементи пам'яті картинного типу ЕП1 і ЕП2, суматор, інверсні оптично керовані

транспаранти ОКТ1, ОКТ2, ОКТ3 і світлопоеднальний вузол СО (рис.1) [4]. Розглянемо детальніше можливості структурної організації ОЗП, яка значною мірою залежить від засобу кодування збереженої в ньому інформації.

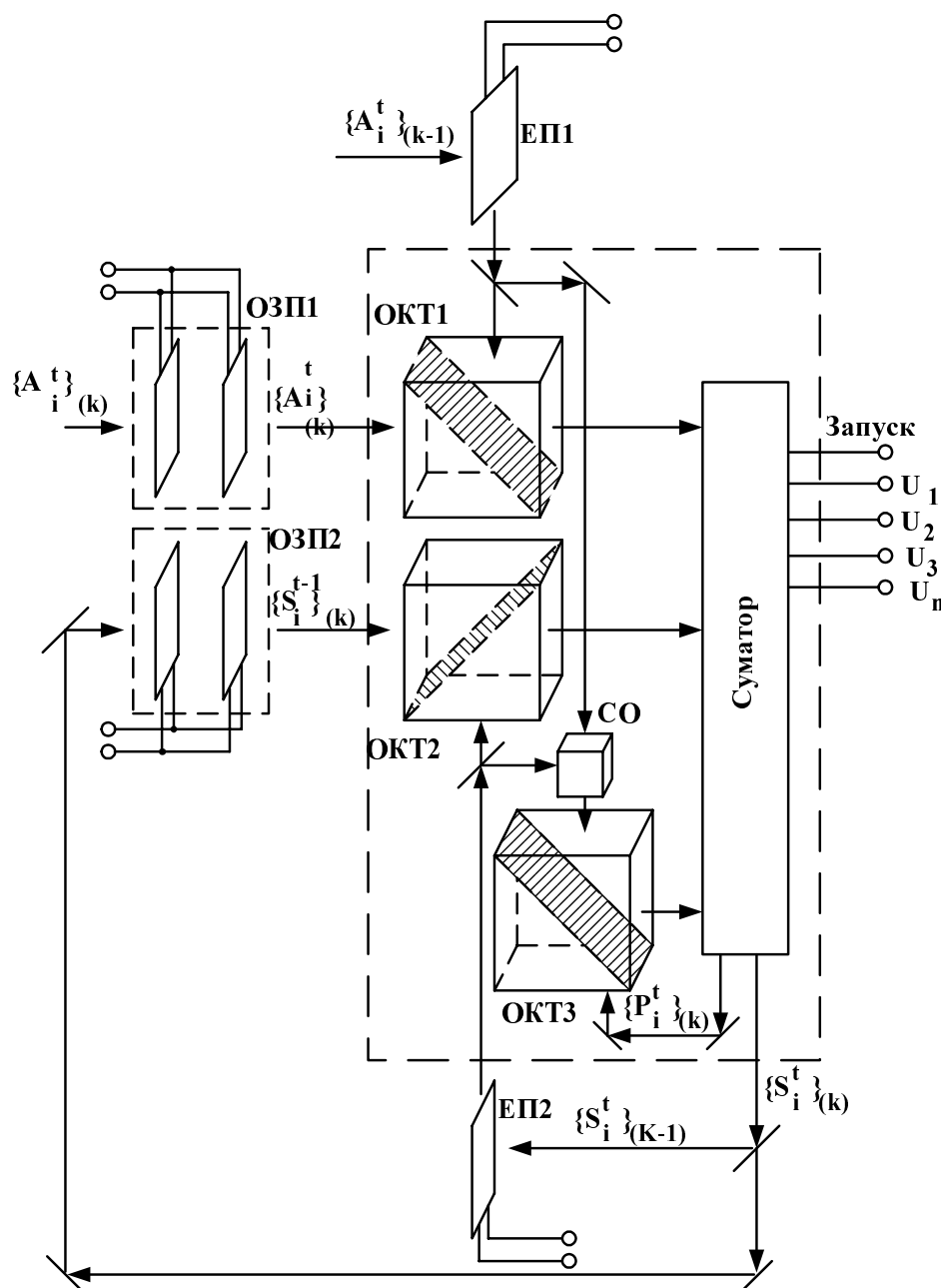


Рис. 1. Цифровий оптоелектронний процесор

У даному випадку серед відомих способів кодування, що становлять порядковий, постексовий і спосіб символічної заміни, найбільш слушним виявився постексовий спосіб. Суть цього методу полягає в тому, що число кодується стеком у K плоских матрицях зображень із молодшим (нульовим) значущим бітом у першій матриці і старшим (знаковим) бітом у K -й матриці [3]. Отже, числовий масив розмірністю $N \times M$, складений із K -розрядних вихідних чисел, а також результат обробки можуть бути подані як K зображень розмірністю $N \times M$, кожне з яких містить відповідний розрядний переріз $N \times M$ двійкових чисел (рис.2).

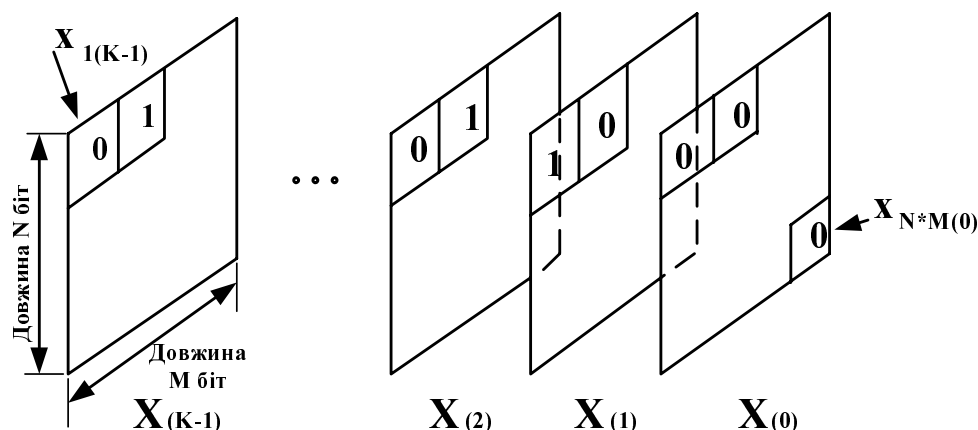


Рис.2. Стековий метод кодування

Суть багаторівневого накопичення зображень полягає у формуванні в кожному циклі обробки послідовності зображень Z вигляду

$$Z = X + Y,$$

де послідовність зображень

$$X = \{X_{(K-1)}, \dots, X_{(k)}, \dots, X_{(0)}\}, \quad (1)$$

запам'ятовує $N \times M$ двійкових K -розрядних чисел

$$A_i = \{a_{i(K-1)}, \dots, a_{i(k)}, \dots, a_{i(0)}\}, \quad i = \overline{1, N \times M}.$$

Аналогічно послідовність зображень Y і Z являє собою масив $N \times M$ двійкових K -розрядних чисел B_i і R_i , причому старші розряди чисел $a_{i(K-1)}$, $b_{i(K-1)}$, $r_{i(K-1)}$ є знаковими, а відповідні зображення $X_{(K-1)}$, $Y_{(K-1)}$, $Z_{(K-1)}$ – знаковими матрицями. Знак "+" за відомим правилом кодує нулем, а знак "-" кодує одиницею.

Принцип роботи процесора полягає в забезпеченні алгебраїчного додавання послідовності T чисел A_i^t (де $t = \overline{1, T}$). У процесі накопичення проміжних результатів одним із доданків є результат алгебраїчного додавання S_i^{t-1} , отриманий на попередньому $(t-1)$ -му циклі додавання, тобто

$$S_i^t = A_i^t + S_i^{t-1},$$

$$\text{де } S_i^t = \{s_{i(K-1)}^t, \dots, s_{i(k)}^t, \dots, s_{i(0)}^t\}.$$

Отже, результат алгебраїчного додавання послідовностей T чисел A_i^t дорівнює

$$R_i = S_i^T,$$

причому $S_i^1 = A_i^1, t = \overline{1, T}$.

Якщо вихідна інформація представлена у вигляді 2^K -рівневих зображень розмірністю $N \times M$ вони опрацьовуються по розрядних перерізах, починаючи з нульового, як масив $N \times M$ операндів розрядністю K або як послідовність зображень вигляду (1) при

$$X_{(k)} = \{A_i^t\}_{(k)} = \{a_{1(k)}^t, \dots, a_{N \times M(k)}^t\},$$

де $\{A_i^t\}_{(k)}$ – двійкова матриця, для котрої

$$i = \overline{\text{var}(i = 1, N \times M)}, \quad t = \text{const}.$$

Беручи до уваги, що процес алгебраїчного додавання виконується над масивами знакозмінних чисел A_i^t і S_i^t , необхідно вихідну інформацію, задану в області оригіналів у вигляді прямого коду, перекласти в область зображень (додатковий код), у якій виконуються всі необхідні операції, а потім здійснити переклад результатів в область оригіналів оберненим перетворенням [4]. У такий спосіб для k -го розряду t -ї суми можна записати такий вираз:

$$s_{i(k)}^t = \begin{cases} a_{i(k)}^t + s_{i(k)}^{t-1} + p_{i(k-1)}^t, & \text{если } a_{i(K-1)}^t = 0; \\ \overline{a_{i(k)}^t} + s_{i(k)}^{t-1} + p_{i(k-1)}^t, & \text{если } a_{i(K-1)}^t = 1, \end{cases} \quad (2)$$

де $\overline{a_{i(k)}^t}$ – інверсне значення $a_{i(k)}^t$ і $p_{i(k-1)}^t$ – перенос із $(k-1)$ -го розряду t -ї суми S_i^t , $k = \overline{0, K-1}$.

Для нульового розряду t -ї суми S_i^t вираз (2) набуває такого вигляду:

$$s_{i(0)}^t = \begin{cases} a_{i(0)}^t + s_{i(0)}^{t-1} + 0, & \text{якщо } a_{i(K-1)}^t = 0; \\ \overline{a_{i(0)}^t} + s_{i(0)}^{t-1} + 1, & \text{якщо } a_{i(K-1)}^t = 1, \end{cases} \quad (3)$$

оскільки перенесення у нульовому розряді відсутнє, але є одиниця при перетворенні величини $a_{i(0)}^t$ з прямого в додатковий код залежно від значення величини $a_{i(K-1)}^t$ у знаковому розряді.

Отже, у кожному k -му такті циклу додавання виконується підсумовування однойменних k -х розрядів попередньої суми і прямого (оберненого) коду поточного доданка, а також одиниці переносу, сформованої в попередньому $(k-1)$ -му такті, за формулою (2) або нуля (одиниці) у нульовому розряді за формулою (3). Інвертування або пропускання інформації без змін виконується за допомогою ОКТ1 і ОКТ2 з урахуванням знакових матриць у ЕП1 і ЕП2 у процесі зчитування оптичної інформації з ОЗП1 і ОЗП2 відповідно. Запис, збереження і зчитування послідовності зображень $X_{(k)}$ у t -му циклі алгебраїчного додавання виконується з використанням двовимірного стекового ОЗП1, а послідовність зображень $Z_{(k)}$ вигляду

$$Z_{(k)} = \{S_i^t\}_{(k)} = \{s_{1(k)}^t, \dots, s_{N \times M(k)}^t\}$$

записується, зберігається і зчитується з ОЗП2. Знакова матриця чергового масиву доданків $\{A_i^t\}_{(K-1)}$, тобто вміст K -го розряду двовимірного ОЗП1, дублюється в ЕП1 картинного типу, а знакова матриця поточної суми, тобто вміст $\{S_i^t\}_{(K-1)}$ K -го розряду ОЗП2, – у ЕП2 картинного типу [4].

З аналізу роботи ЦОЕП випливає, що він повинен мати пам'ять, яка може забезпечити одночасне надходження в оптоелектронний суматор двох двовимірних розрядних перерізів. Отже, процесор повинен виконувати функції збереження, введення – виведення, попе-

перізного додавання, при цьому інформація повинна надходити і зчитуватись в оптичному вигляді паралельно по перерізах. Всі ці вимоги роблять актуальною задачу суміщення функцій ОЗП і ОКТ в одному пристрої з можливістю його реалізації на ОІС.

Особливості побудови цифрового оптоелектронного процесора на оптичних інтегральних схемах

Компромiсним і оптимальним на даний час рішенням, що дозволяє сумістити ОЗП і ОКТ в одному блоці, є використання ЗП на ОІС [8]. Завершене моделювання комплексу ОІС для обробки розрядних перерізів із розмірами 32×32 , 64×64 , 128×128 точок [9]. Відмінною характеристикою ОІС [8] є їх простота при виконанні функції пам'яті (рис. 3).

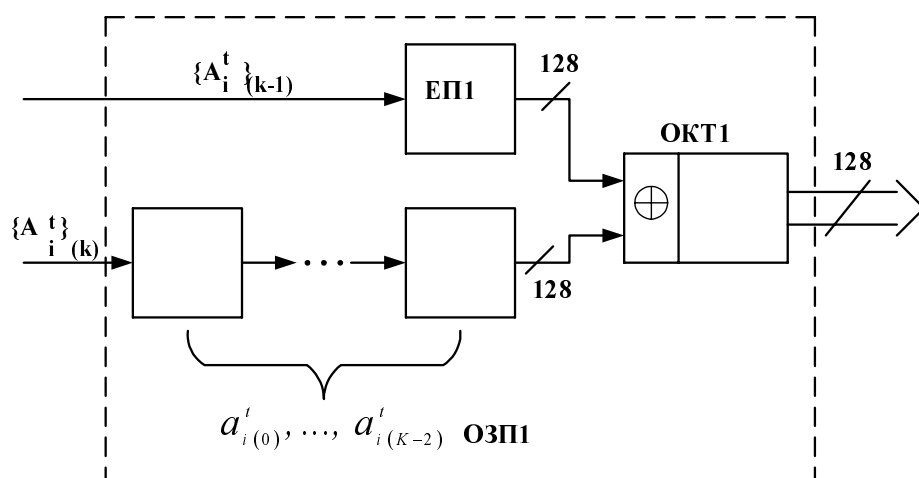


Рис. 3. ЦОЕП на оптоелектронних інтегральних схемах

ЕП1 повинен складатись із ОІС відповідних розмірів. Запис $\{A_i^t\}_{(k-1)}$ в ОІС виконують двома способами. Перший – проектування $\{A_i^t\}_{(k-1)}$ у вигляді двомірного зображення на ОІС. Другий – запис $\{A_i^t\}_{(k-1)}$ по стовпчиках або рядках за допомогою оптоволоконного шлейфу (ОВШ).

ОЗП1 повинно складатися з $(K - 1)$ ОІС відповідних розмірів. Усі ОІС об'єднані послідовно за допомогою ОВШ так, що вони утворюють стек типу FIFO. В початковому стані в кожен ОІС записується відповідний його порядковому номеру розрядний переріз $a_{i(0)}^t, \dots, a_{i(k-2)}^t$. Для встановлення пристрою в початковий стан послідовність розрядних перерізів записують в ОІС будь-яким із згаданих способів.

ОКТ1 являє собою ОІС з розмірами, однаковими з ЕП1 та ОЗП1. Розрядні перерізи $a_{i(0)}^t, \dots, a_{i(k-2)}^t$ записують з ОЗП1 до ОКТ1 по стовпчиках з передачею по ОВШ. Запис кожного розрядного перерізу в ОКТ1 виконується з урахуванням значень знакової матриці ЕП1. Для цього відповідні елементи ЕП1 та ОЗП1 передаються одночасно по ОВШ на вхідну логіку ОКТ1.

Після формування в ОКТ1 розрядного перерізу його передають у суматор у двовимірному вигляді, проектуючи переріз у вигляді бінарного зображення.

Структурна схема оптичної інтегральної схеми

До комплексу ОІС входять: операційний екран (ОЕ) та ОВШ. Призначення ОЕ – зберігання, введення-виведення та паралельний зсув зображення.

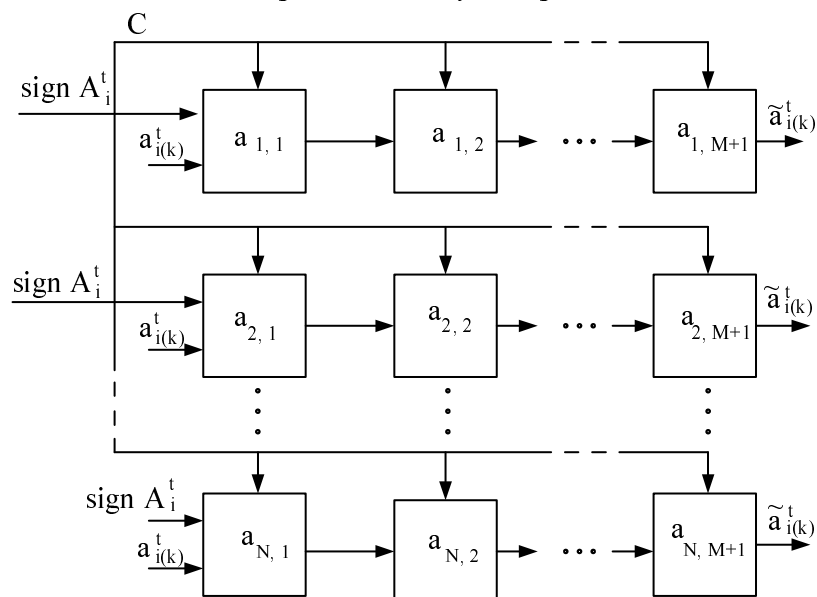


Рис. 4. Структурна схема ОІС

ОЕ являє собою матричну структуру, в якій кожний елемент виконує такі функції: прийом інформації, зберігання і передачу. Прийом і передача перерізів між ОІС виконуються паралельно-послідовно по оптоволоконному шлейфу, а також можливий прийом і передача двовимірного перерізу зображення при проектуванні його на поверхню кристала ОІС. Структурна схема ОІС подана на рис.4. Перший тип комірки містить елементи, із яких починається кожний рядок ОІС (рис.5) – $a_{l,c}$, де $l = \overline{1, N}$, $c = 1$ і виконує операції прийому, зберігання, передачі і додавання по модулю 2:

$$\tilde{a}_{i(k)}^t = \begin{cases} a_{i(k)}^t, & \text{якщо } \text{sign } A_i^t = 0; \\ \overline{a_{i(k)}^t}, & \text{якщо } \text{sign } A_i^t = 1, \end{cases}$$

тобто

$$\tilde{a}_{i(k)}^t = a_{i(k-1)}^t \oplus a_{i(k)}^t, \quad (4)$$

тому що $\text{sign } A_i^t = a_{i(k-1)}^t$

Другий тип комірки ОІС (рис.6) – $a_{l,c}$, де $l = \overline{1, N}$, $c = \overline{2, M+1}$, виконує прийом, зберігання і передачу біта інформації.

Розрядність базових ОЕ вибирають з оптимального співвідношення кількості виводів і енергоспоживання ОІС (див. таблицю). У деяких задачах обробки зображень при накопиченні двовимірних матриць вистачить оперувати перерізами 32×32 . Тому для виконання алгоритму достатньо використовувати ОЕ розрядністю 32×32 і ОВШ із кількістю волокон 32×1 .

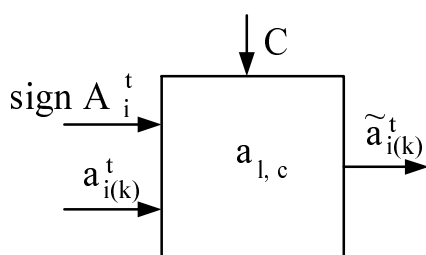


Рис. 5. Перший тип комірки

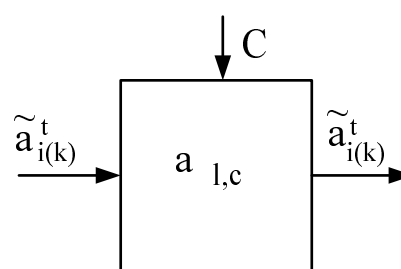


Рис. 6. Другий тип комірки

Технічні характеристики ОВШ – діаметри серцевини 100 мкм і оболонки 470 мкм. Параметри вибрані з урахуванням геометричних розмірів ОЕ. Тип з'єднання ОВШ із ОІС – у встик, кількість волокон у шлейфі – 32×1, 64×1 та 128×1.

Оптимальне співвідношення кількості виводів і енергоспоживання ОІС

Розміри ОЕ, точок	Кількість ввідів-виводів оптичних/електричних	Тактова частота, МГц	Робочий струм, А	Розміри підкладки, мм
32×32	128/3	30	7,5	8×5
64×64	256/3	30	30	16×10
128×128	512/3	30	120	32×20

Пам'ять на ОІС дозволяє записати на початку циклу «маску» (знакову матрицю), а потім при подачі бінарних матриць (розрядних перерізів) виконує зберігання перерізів і перетворення інформації (інвертування) на $(k-1)$ тактах циклу, відповідно до знакового розряду.

Структура комірки оптичної інтегральної схеми

Базовим елементом ОЕ є комірка. З'єднання комірок між собою має вигляд рядків, причому кількість комірок у рядку дорівнює $M+1$, де M – кількість рядків. Вирішальним фактором у побудові схемотехніки комірки є технологія ОІС – метал-оксид-напівпровідник (МОП). У нашому випадку на підкладці з GaAs реалізовані в інтегральному виконанні випромінювачі, фотоприймачі й електронні компоненти.

Для запису або зчитування перерізу у двовимірному вигляді проектуванням або послідовно-паралельно передачею по ОВШ в комірках використовуються матеріали для випромінювачів – AlGaAs, для фотоприймачів – InGaAs, діапазон довжин хвиль $\lambda = 0,8...1$ мкм.

Як комірка першого типу використана функціональна схема, що складається з вихідного 1, першого 2 і другого 3 тригерів, а також вхідної логіки 4 яка містить елемент "Виключне АБО" (рис.7). Позначимо виходи першого 2 і другого 3 тригерів відповідно S1 і S2, вихідного 1 тригера – Q і \bar{Q} . Схема, яка синхронізується фронтом C, працює так: вхідна логіка комірок першого стовпчика – елемент "Виключне АБО" виконує операцію додавання по модулю 2 вхідних сигналів (4). Сигнали синхронізації C і $a_{i(k)}^t$ надходять на входи першого 2 і другого 3 тригерів. Функція першого 2 тригера – скидання в "0" вихідного тригера при надходженні по входу даних нуля. Функція другого тригера 3 – встановлення в "1"

вихідного тригера при надходженні на вхід даних одиниці. Функція вихідного тригера – запам'ятовування значення, що надійшло на вхід даних під час надходження фронту останнього синхроімпульсу. Закон функціонування комірки:

$$\begin{cases} \tilde{a}_i^t(k) = a_{i(k-1)}^t \oplus a_i^t(k); \\ S_1 = (\overline{S_2 \tilde{a}_i^t(k) C}) \vee (C S_1); \\ S_2 = (S_2 C) \vee (C \tilde{a}_i^t(k) \overline{S_1}); \\ Q^{n+1} = (Q^n S_1) \vee S_2. \end{cases}$$

Як комірка другого типу використана функціональна схема, що складається з вихідного 1, першого 2 і другого 3 тригерів (рис.8). Схема комірки працює аналогічно до схеми комірки першого типу і відрізняється відсутністю вхідної логіки. Закон функціонування комірки:

$$\begin{cases} S_1 = (\overline{S_2 \tilde{a}_i^t(k) C}) \vee (C S_1); \\ S_2 = (S_2 C) \vee (C \tilde{a}_i^t(k) \overline{S_1}); \\ Q^{n+1} = (Q^n S_1) \vee S_2. \end{cases}$$

В ОІС використаний оптоелектронний, керований фронтами тригер. Така схема підвищує вірогідність роботи комірок ОІС, оскільки вона виключає ефект "перегонів", хоча і потребує застосування додаткових елементів у схемі комірки. Принцип роботи таких комірок на оптоелектронній елементній базі входить в основи квантронної схемотехніки і докладно описаний у літературі [8].

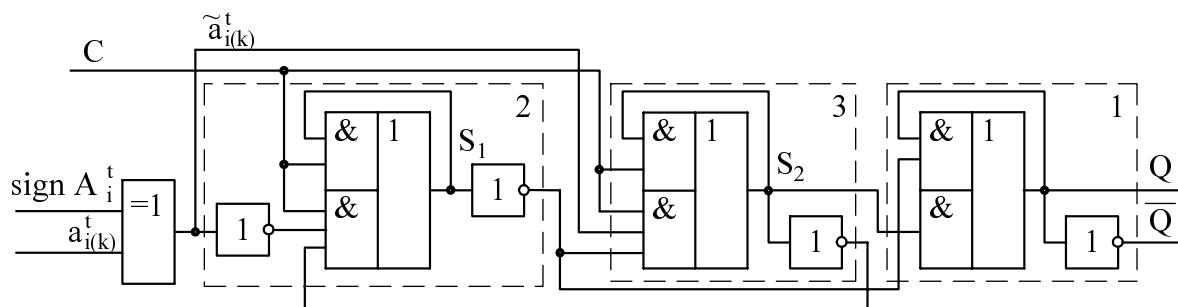


Рис. 7. Структура комірки першого типу

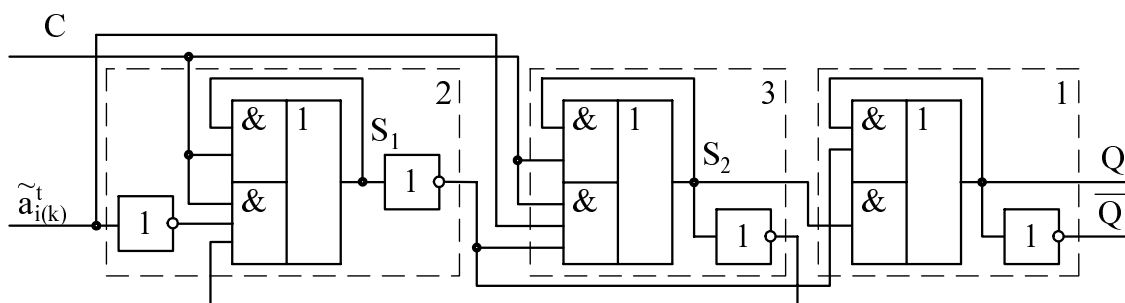


Рис. 8. Структура комірки другого типу

Отже, можливість реалізації схемою ОІС операції логічного додавання по модулю 2, яку у структурі процесора (рис.1) виконують ОКТ1 і ОКТ2, дозволяє реалізувати функції групи таких вузлів процесора, як ОЗП, ЕП і ОКТ, у вигляді (K+1) ОІС (рис.3).

Висновки

Інформативність сучасних засобів введення-виведення й обробки зображень визначається можливостями елементної бази і методами паралельної обробки даних. Тому одним із пріоритетних напрямків є використання оптичелектронної елементної бази, оскільки паралельні методи обробки, орієнтовані на дану елементну базу, використовують природний паралелізм, властивий оптичелектронним процесорам обробки зображень. Реалізація ОЗП ЦОЕП на оптичних схемах дає можливість підвищити швидкість процесора, а також збільшити функціональні можливості ОЗП, що у свою чергу дозволяє відмовитися від ОКТ у складі ЦОЕП.

1. *Справочник по цифровой вычислительной технике / Под ред. Б.Н. Малиновского. -К., 1980. -320 с.* 2. *Прэнтт У. Цифровая обработка изображений: Пер. с англ - М., 1982.* 3. *Huang K.-S., Jenkins B.K., Sawchuk A.A. Image algebra representation of parallel optical binary arithmetic // Applied Optics. Vol. 28, №6. Pp. 1263-1278.* 4. *Цифровой оптоэлектронный процессор многоуровневых изображений / Красиленко В.Г. и др. // Электронное моделирование. 1993. №3. С.13-18.* 5. *Денисов В.М. и др. Организация оптоэлектронных пространственно-непрерывных арифметико-логических устройств // Электронное моделирование. 1986. №2. С.25-28.* 6. *Очин Е.Ф. Принципы организации цифрового оптоэлектронного процессора для обработки изображений в пространственно-непрерывной форме// Электронное моделирование. 1984. №3. С.16-19.* 7. *Денисов В.М. и др. Структура цифрового оптоэлектронного процессора многоуровневых изображений по пространственно-непрерывным разрядным срезам // Электронное моделирование. 1994. №6. С.99-101.* 8. *Кожемяко В.П., Тимченко Л.И., Лысенко Г.Л., Кутаев Ю.Ф. Функциональные элементы и устройства оптоэлектроники: Учебное пособие. К., 1990.* 9. *Лисенко Г.Л., Суприган В.А. Секціоновані паралельно послідовні оптоелектронні інтегральні схеми // Вимірювальна та обчислювальна техніка в технологічних процесах. 1998. №2. С.55-58.*

УДК 621.38.049.77

З.Ю.Готра, А.І.Халавка

ДУ “Львівська політехніка”, кафедра електронних приладів

СТАБІЛІЗАЦІЯ КОЕФІЦІЄНТА ТЕПЛООВОГО ЗВ'ЯЗКУ ІНТЕГРАЛЬНИХ ТЕПЛОКЕРОВАНИХ ОПЕРАЦІЙНИХ ПІДСИЛЮВАЧІВ

© З.Ю.Готра, А.І.Халавка, 2000

Запропоновано спосіб стабілізації параметрів інтегральних тепло-керованих операційних підсилювачів внутрішнім теплоелектричним зворотним зв'язком. Розроблено схеми окремих вузлів пристроїв на основі даного принципу. Спосіб застосовано для побудови інтегральних фільтрів низькочастотного діапазону.

A method of the normalization of integrated thermal controlled amplifiers' parameters by means of internal electrothermal feedback is proposed. The electrical diagrams of some units of devices on the basis of that principle are elaborated. The method was used to the construction of integrated low-pass filters.