

H., Yamamoto I. Circuit for gamma correction of a digital video signal and having a memory for storing data defining a desired gamma correction characteristics/ Pat. 5243426 (USA). – Publ. 07.09.1993. 4. Лысенко Ю.А., Елманов С.А. Устройство для коррекции изображений объектов. А. с. № 1711206 (СССР) // Оpubл. в БИ. – 1992. № 5. 5. Воробель Р.А. Методи ковзного підвищення контрасту на основі розтягу // Відбір і обробка інформації. – 1998. – Вип. 12(88). – С. 94–99. 6. Мирошников М.М., Нестерук В.Ф., Тимофеева Г.Ф. Преобразование оптических изображений для информационного согласования их со зрительным восприятием // Оптико-механическая промышленность. – 1991. – № 11. – С. 4-13.

УДК 621.391.3

В.В. Клименко, О.М. Лопачак, В.М. Максимович
 Національний університет “Львівська політехніка”,
 кафедра автоматики та телемеханіки

ОЦІНКА ШВИДКОДІЇ ЧИСЛО-ІМПУЛЬСНИХ ФУНКЦІОНАЛЬНИХ ПЕРЕТВОРЮВАЧІВ

© Клименко В.В., Лопачак О.М., Максимович В.М., 2001

Здійснено оцінку швидкодії базових елементів число-імпульсних функціональних перетворювачів за допомогою системи автоматичного проектування програмованих логічних інтегральних схем. З'ясовано особливості використання різних режимів цієї системи.

The speed estimation of number-pulse functional converters basic elements with the help of FPGA (Field Programmable Gate Array) devices CAD is considered. The particularities of this CAD different modes use are clarified.

Програмовані логічні інтегральні схеми (ПЛІС) – зручна в освоєнні і застосуванні елементна база. Останні роки характеризуються різким зростанням щільності упакування елементів на кристалі ПЛІС. Багато провідних виробників або почали серійне виробництво, або анонсували ПЛІС з еквівалентною ємністю понад 1 млн. логічних вентилів. Поява нової елементної бази принципово змінює процес проектування складних електронних систем.

Можливість широкого використання ПЛІС для реалізації число-імпульсних функціональних перетворювачів (ЧІФП) різного призначення спричиняє необхідність оцінки швидкодії різних варіантів таких пристроїв до початку їх фізичної реалізації. В цій роботі здійснено оцінку швидкодії базових елементів ЧІФП, двійкового помножувача (ДП) і помножувача на нагромаджуючому суматорі (ПНС) за допомогою системи автоматичного проектування ПЛІС. Розглядали різні варіанти внутрішньої побудови ДП і ПНС.

Дослідження проведено за допомогою програмного забезпечення XILINX Foundation Series F1.5. За базову ПЛІС була вибрана мікросхема сімейства Spartan фірми XILINX.

Серія Spartan виготовлена на основі FPGA технології – базових матричних кристалах, що перепрограмовуються користувачем (Field Programmable Gate Array). При цьому конфігурація ПЛІС зберігається у внутрішньому «тіньовому» ОЗП, а ініціалізація здійснюється із зовнішнього масиву пам'яті. Архітектура серії Spartan базується на

архітектурі серії XC4000 і містить аналогічні конфігураційні логічні блоки (КЛБ) та має аналогічну організацію з'єднань. Завдяки покращанням у технології, зниженню потужності споживання, удосконаленню розміщення проекту у кристалі серія Spartan може працювати на системній частоті 80МГц та на внутрішній частоті понад 150МГц.

Структурна схема ПНС наведена на рис. 1. До його складу входять комбінаційний суматор КС, регістр P_г і логічний елемент І. На вхід переносу КС подається сигнал z, а на виході переносу формується сигнал p. Кількість імпульсів f на виході ПНС визначається наближеним рівнянням

$$f \cong \frac{y}{2^m} n, \quad (1)$$

де y – керуючий код, n – кількість імпульсів на вході ПНС, m – кількість двійкових розрядів КС і P_г.

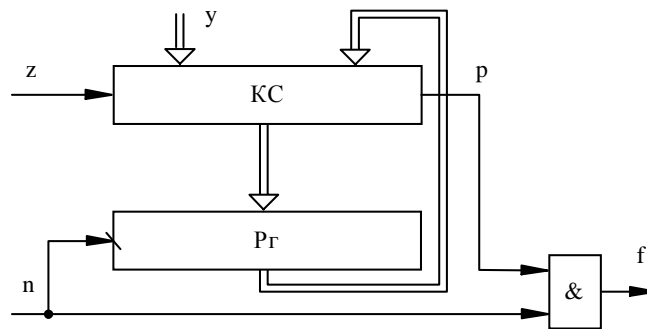


Рис. 1. Структурна схема ПНС

Як основний параметр, що характеризує швидкість ПНС і ДП, був вибраний час t_3 (рис. 2) – максимально можливий інтервал часу між зрізом входних імпульсів і моментом зміни сигналу p.

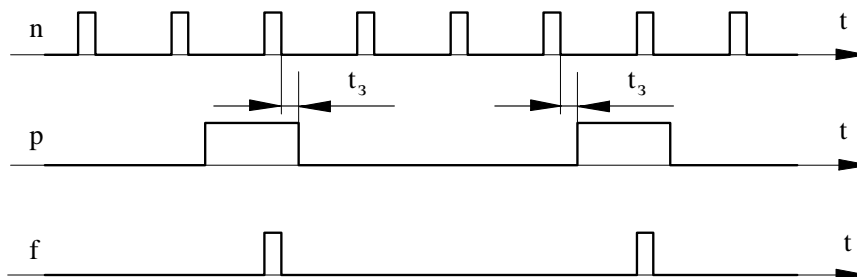


Рис. 2. Часові діаграми роботи помножувачів

Аналіз швидкості ПНС здійснювали для чотирьох варіантів побудови КС [1]:

– паралельний суматор на основі напівсуматорів без організації прискореного переносу;

– паралельний суматор з наскрізним переносом;

– паралельний суматор з двопровідною передачею сигналів;

– паралельний суматор з одночасним переносом в групах і послідовним переносом між ними (при цьому розглядалися три варіанти груп – по 4, 8 та 16 розрядів).

ДП (рис. 3), що складається з логічної схеми ЛС, лічильника Лч і логічного елемента І, реалізує ту саму функцію (1), що й ПНС. Швидкість ДП може бути оцінена так само, як і ПНС – за значенням t_3 (рис. 2).

Вхідний імпульс n проходить на вихід ДП, якщо реалізується один з варіантів:

$$b_{m-1}=1, a_0=0;$$

$$b_{m-2}=1, a_0=1, a_1=0;$$

$$\dots\dots\dots$$

$$b_i=1, a_0=1, a_1=1, a_2=1, \dots, a_{m-i-2}=1, a_{m-i-1}=0;$$

$$\dots\dots\dots$$

$$b_0=1, a_0=1, a_1=1, a_2=1, \dots, a_{m-3}=1, a_{m-2}=1, a_{m-1}=0,$$

де a_0, \dots, a_{m-1} – значення двійкових розрядів числа в Лч; b_0, \dots, b_{m-1} – значення двійкових розрядів коду y , m – кількість розрядів Лч і ЛС.

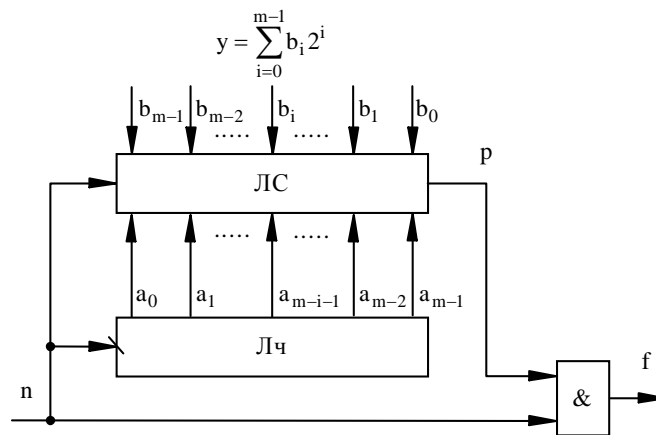


Рис. 3. Структурна схема ДП

Розглядали 4 варіанти побудови двійкового помножувача:

– синхронний Лч з паралельною організацією переносів і ЛС з паралельною організацією переносів (рис.4);

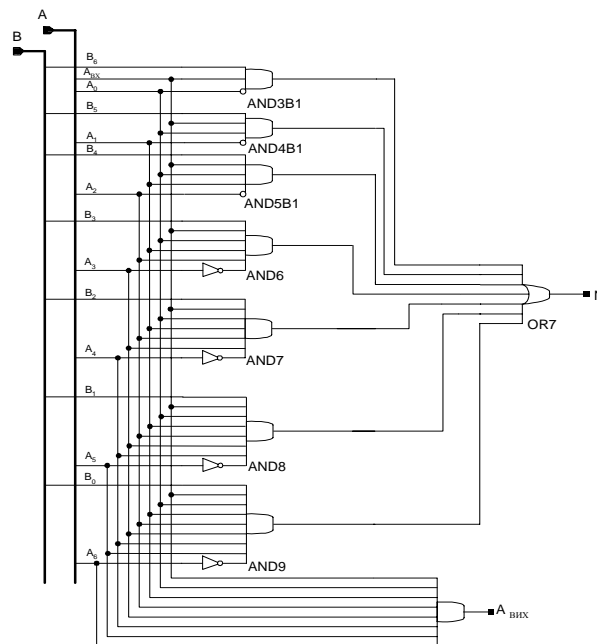


Рис.4. ЛС з паралельною організацією переносів при $m = 7$

– синхронний Лч з паралельною організацією переносів і ЛС з послідовною організацією переносів (рис.5);

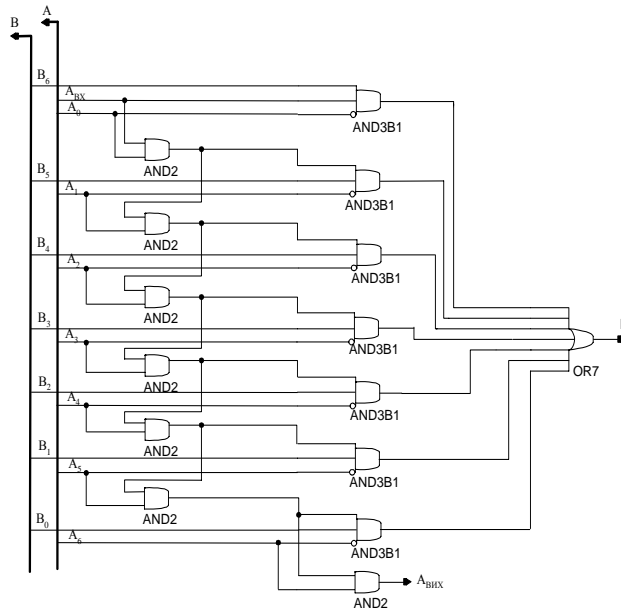


Рис.5. ЛС з послідовною організацією переносів при $t = 7$

– синхронний Лч з послідовною організацією переносів і ЛС з послідовною організацією переносів;

– синхронний Лч з послідовною організацією переносів і ЛС з паралельною організацією переносів.

У схемах на рис. 4 і 5 сигнали A_{ex} і $A_{вих}$ – використовуються, у разі необхідності, для нарощення кількості розрядів.

Усі схеми були набрані у графічному редакторі Schematic Editor з використанням стандартних бібліотек логічних елементів. Введений проект був функціонально промодельований за допомогою симулятора Logic Simulator в режимі Functional. Проект був скомпільований для мікросхеми S30TQ144 сімейства Spartan.

Після компіляції проекту для дослідження часових характеристик схеми потрібно провести часове моделювання (вже з урахуванням часових затримок) за допомогою симулятора Logic Simulator в режимі Timing. В цьому режимі часового моделювання (на відміну від режиму функціонального моделювання) враховуються затримки поширення сигналів в усіх елементах схеми і видаються повідомлення про всі часові помилки, які можуть виникати, такі як недостатній час для установлення (setup) і утримання (hold) елемента. Перевірка здійснюється для всіх елементів схеми (а не тільки для досліджуваних) упродовж кожного циклу роботи схеми. Часова роздільна здатність симулятора Logic Simulator – від 10пс до 1мс. Часове моделювання складних або багаторозрядних схем потребує великої кількості обчислень і займає багато машинного часу EOM. Сам процес часового моделювання при цьому може значно затягуватись. Тому в цих випадках для дослідження схем доцільно використовувати часовий аналізатор (Timing Analyzer).

Часовий аналізатор виконує статичний часовий аналіз проекту. Для цього FPGA проект повинен бути скомпільованим. Статичний часовий аналіз – це аналіз затримок схеми від вузла до вузла. Часовий аналізатор встановлює і відображає дані, за допомогою яких можна проаналізувати критичний шлях у схемі, цикл роботи схеми, затримки вздовж

вказаних шляхів та шляхи з найбільшими затримками. Часовий аналізатор враховує всі затримки вздовж шляхів поширення сигналів. Відправними і кінцевими точками у FPGA проекті можуть бути тригери, контакти (pads), зв'язки (nets), макрокомірки або тактові генератори (clocks). У звіті часового аналізатора є детальний аналіз визначених шляхів, містяться повідомлення про всі затримки. Для графічного відображення розміщення досліджуваної схеми всередині мікросхеми була використана програма Floorplanner з програмного пакета фірми XILINX.

Як приклад розглянемо використання часового аналізатора для аналізу швидкодії кола переносу КС з наскрізним переносом, що входить до складу 4-розрядного ПНС. Відповідні схеми наведені на рис. 6-10.

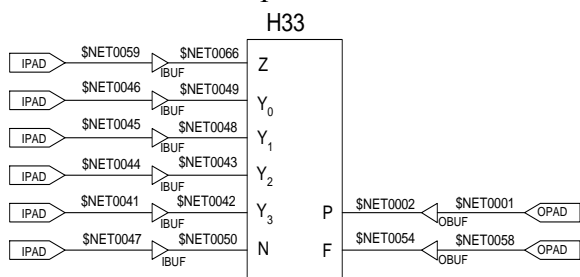


Рис.6. ПНС у схемному редакторі

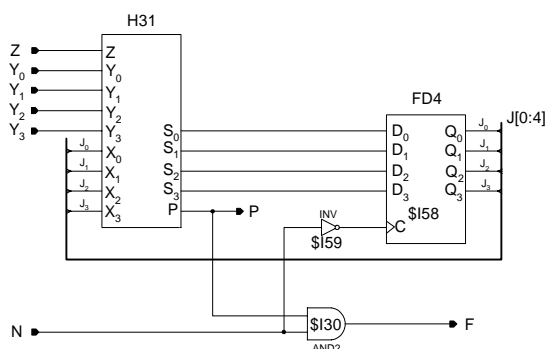


Рис.7. Внутрішня структура H33

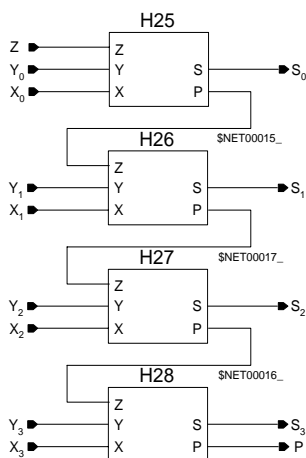


Рис.8. Внутрішня структура H31

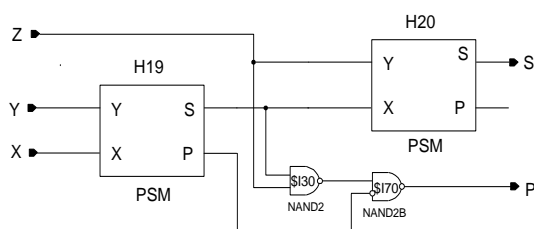


Рис.9. Внутрішня структура H25

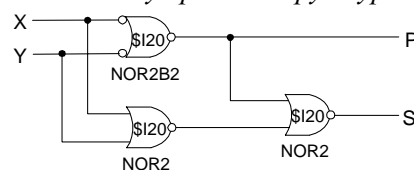


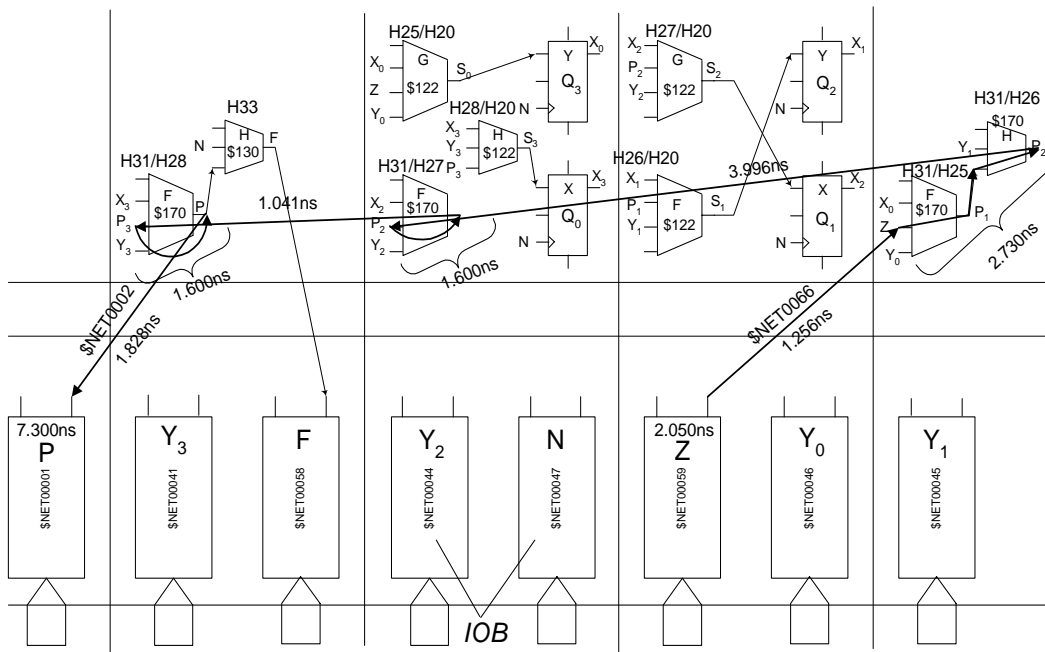
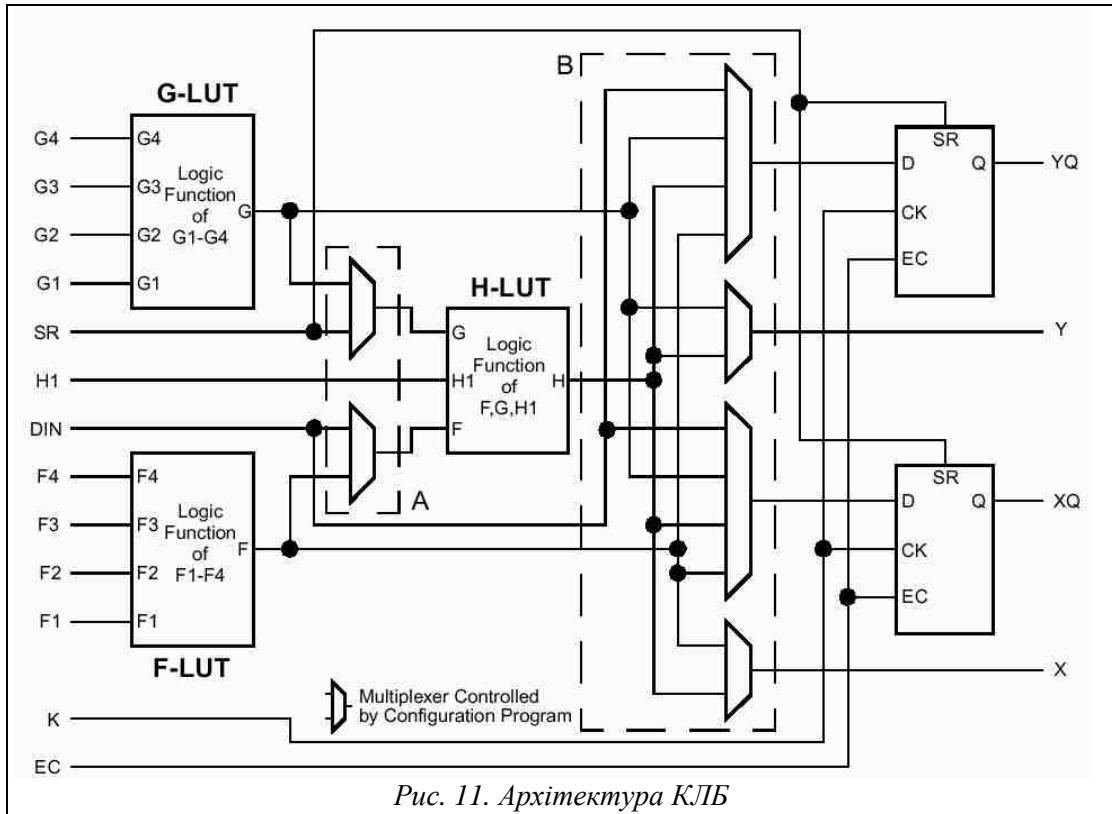
Рис.10. Напівсуматор H20

КЛБ серії Spartan мають схожу архітектуру з серією XC4000 (рис.11). Кожен КЛБ містить 3 генератори логічних функцій (F, G, H), що реалізовані на LUT-таблицях (look-up table), 2 тригери з окремими входами дозволу тактування (X,Y), логіку швидкого переносу [2].

Дві 16x1 LUT-таблиці (F-LUT та G-LUT) використовуються як 4-входові генератори функцій. Кожен виконує функцію від 4 незалежних змінних (F1~F4 або G1~G4). Завдяки LUT-таблицям затримка поширення не залежить від функції, що реалізується генератором. Третій генератор (H-LUT) може виконувати будь-яку логічну функцію від трьох змінних (H1, G, F). КЛБ може реалізувати деякі функції від дев'яти змінних та будь-яку функцію від п'яти змінних.

Виконання декількох функцій в одному КЛБ знижує кількість необхідних блоків і затримку поширення сигналів, збільшуючи і швидкодію, і компактність.

На рис. 12 наведено схематичне зображення 4-розрядного ПНС, що реалізований у ПЛІС відповідно до схем, наведених на рис. 6 - 10. Блоки введення-виведення (БВВ) позначені на рисунку як IOB.



Для дослідження швидкодії КС з наскрізним переносом за допомогою часового аналізатора були задані: як початкова точка – зв'язок \$Net00059_ (z); як кінцева точка – \$Net00001_ (p) (рис.6). В результаті був отриманий звіт аналізатора у такому вигляді:

Timing Analyzer M1.5.25

Copyright (c) 1995-1998 Xilinx, Inc. All rights reserved.

Design file: c:\temp\projects\kl6\proj\ver1\rev1\kl6.ncd

Device, speed: xcs30,-3 (x1_0.14.2.2 1.7 PRELIMINARY)

Report level: verbose report, limited to 1 item per constraint

Timing constraint: PATH "PATHFILTERS" = FROM TIMEGRP "SOURCES" TO TIMEGRP

"DESTINATIONS" ;

1 item analyzed, 0 timing errors detected.

Maximum delay is 23.401ns.

To	Delay type	Delay(ns)	Physical Resource Logical Resource(s)
P56.I2	Tpid	2.050R	\$Net00059_ \$I55 \$I49
CLB_R24C14.F2	net (fanout=2)	1.256R	\$Net00066
CLB_R24C14.Y	Tiho	2.730R	H33/H31/\$Net00015 H33/H31/H25/\$I70 H33/H31/H26/\$I70
CLB_R24C12.F4	net (fanout=2)	3.996R	H33/H31/\$Net00017_
CLB_R24C12.X	Tilo	1.600R	H33/H31/\$Net00016 H33/H31/H27/\$I70
CLB_R24C11.F2	net (fanout=1)	1.041R	H33/H31/\$Net00016_
CLB_R24C11.X	Tilo	1.600R	\$Net00002_ H33/H31/H28/\$I70
P49.O	net (fanout=1)	1.828R	\$Net00002_
P49.PAD	Tops	7.300R	\$Net00001_ \$I57 \$I56

Delay: 23.401ns \$Net00059_ to \$Net00001_

Path \$Net00059_ to \$Net00001_ contains 5 levels of logic:

Path starting from Comp: P56.PAD

Сумарна затримка для цього випадку може бути представлена так:

$$T_{\Sigma} = T_{pid} + T_{net1} + T_{iho1} + T_{net2} + T_{ilo1} + T_{net3} + T_{ilo2} + T_{net4} + T_{ops}$$

Затримки в БВВ

Затримки в генераторах функцій і лініях зв'язку

Тут використані такі позначення:

T_{pid} – затримка БВВ для проходження зовнішнього сигналу;

T_{iho} – комбінаційна затримка в F- та H-генераторах логічних функцій КЛБ;

T_{ilo} – комбінаційна затримка в F-генераторі логічних функцій КЛБ;

T_{net} – затримка у лінії зв'язку;

T_{ops} – затримка БВВ для проходження внутрішнього сигналу назовні.

Сумарна затримка в колі переносу для 4-розрядного комбінаційного суматора з наскрізним переносом 23.401 ns., до того ж затримки в генераторах функцій (типу T_{ilo}, T_{iho}) мають постійні стандартні значення (Spartan CLB Switching Characteristic Guidelines), а затримки у лініях зв'язку залежать від довжини цих ліній і кількості розгалужень.

На рис. 13 наведені результати дослідження швидкодії різних варіантів побудови ПНС при різній кількості розрядів. Для спрощення оцінювали тільки затримку у колі переносу від входу Z до виходу P комбінаційного суматора КС (рис.1), оскільки вона становить ліву частку загальної затримки ПНС – t_3 .

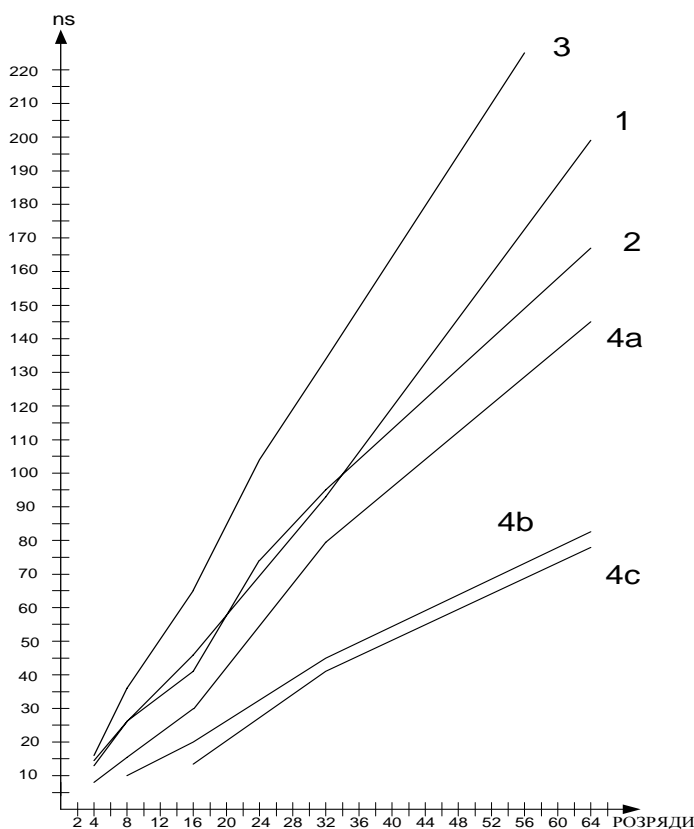


Рис.13. Затримка у колі переносу комбінаційного суматора ПНС

На рис.13 використано такі позначення:

1 – паралельний суматор на основі напівсуматорів без організації прискореного переносу;

2 – паралельний суматор з наскрізним переносом;

3 – паралельний суматор з двопровідною передачею сигналів;

4 – паралельний суматор з одночасним переносом в групах і послідовним переносом між ними (4a – групи по 4 розряди, 4b – групи по 8 розрядів, 4c – групи по 16 розрядів).

Найбільш швидкодіючою виявилась схема з одночасним переносом в групах по 16 розрядів, а найменш швидкодіючою схема з двопровідним зв'язком, оскільки для реалізації останньої була задіяна найбільша кількість генераторів функцій.

Швидкодію ДП досліджували за допомогою часового симулятора, оскільки необхідні для цього сигнали знаходяться всередині генераторів функцій. Дослідження проводилось окремо для складових частин ДП – лічильника Лч і логічної схеми ЛС. Це пояснюється тим, що, за умови, що Лч є синхронним, після спрацювання тригерів Лч паралельно в часі відбуваються два процеси: процес формування переносів в Лч і процес формування вихідного сигналу ЛС. Отже, швидкодія ДП буде визначатись найменш швидкодіючим з її структурних елементів Лч чи ЛС.

У Лч досліджувалась затримка від імпульсного входу n до виходів $a_0 \dots a_{m-1}$ (рис.3). У ЛС досліджувалось проходження сигналу від всіх входів B до виходу N (рис.4, 5) для фіксованої кількості розрядів та вибиралось найбільше значення затримки. Отримані результати наведено на рис. 14, де 1 – синхронний Лч з послідовною організацією переносу; 2 – синхронний Лч з паралельною організацією переносу; 3 – ЛС з паралельною організацією переносу; 4 – ЛС з послідовною організацією переносу.

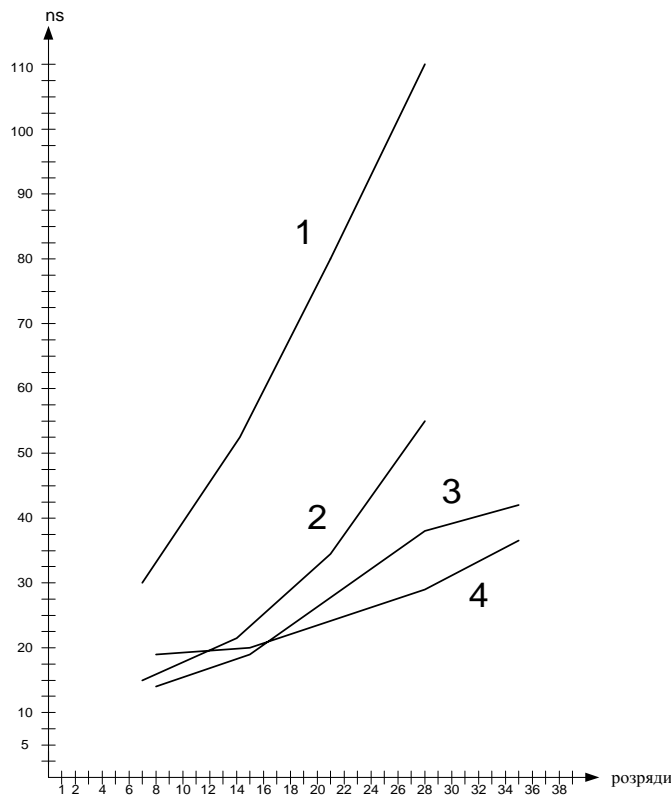


Рис.14. Затримка у блоках ДП

Отже, швидкодія ДП, при достатньо великій кількості розрядів, визначається, переважно, організацією Лч.

Висновки:

1. Система автоматичного проектування ПЛС дозволяє оперативно оцінювати швидкодію базових елементів ЧФП, а отже, і складніших перетворювачів.

2. Для дослідження часових характеристик цифрових схем у пакеті Foundation 1.5 можна використовувати або часове моделювання (Timing Simulation), або часовий

аналізатор (Timing Analyzer). Обмежуючим фактором при використанні часового моделювання є велика кількість розрядів схеми (тривалий час дослідження), а при використанні часового аналізатора – неможливість досліджувати сигнали, які формуються всередині генераторів функцій.

3. Завдяки LUT-таблицям, на основі яких побудовані КЛБ, затримка поширення не залежить від функції, що реалізується генератором. Затримка у лінії зв'язку залежить від довжини лінії і кількості розгалужень.

1. Цифровые электронные вычислительные машины / Самофалов К.Г., Корнейчук В.И., Тарасенко В.П. – К., 1983. 2. Программируемые логические ИМС на КМОП-структурах и их применение / П.П.Мальцев, Н.И.Гарбузов, А.П.Шарапов и др. – М., 1998.

УДК 621.307

О.В. Осадчук

Вінницький державний технічний університет

МІКРОЕЛЕКТРОННИЙ ЧАСТОТНИЙ МАГНІТНИЙ ПЕРЕТВОРЮВАЧ З АКТИВНИМ ІНДУКТИВНИМ ЕЛЕМЕНТОМ

© Осадчук О.В., 2001

Розглянуто математичну модель частотного магнітного перетворювача на основі магніточутливої транзисторної структури з від'ємним опором. Числовим методом проведено розрахунки функції чутливості і перетворення. Подані експериментальні дослідження, які підтвердили справедливість теоретичних положень, розходження теоретичних і експериментальних кривих не перевищує 5%.

The mathematical model of a frequency magnetic converter on the basis of magnetically sensitive transistor structure with a negative resistance is considered. The calculations of the functions of sensitivity and conversion using numerical method are carried out. There are given experimental researches, which confirmed the correctness of theoretical positions, the discrepancy of theoretical and experimental curves does not exceed 5%.

Вступ. Магнітні перетворювачі широко застосовують як в наукових дослідженнях, так і на практиці для виміру індукції магнітного поля [1,2]. В таких перетворювачах інформативним параметром є аналоговий сигнал у формі струму або напруги. Використання як магнітного перетворювача транзисторної структури з від'ємним опором дозволяє створити генератор електричних коливань, в якому магніточутливі транзистори виконують роль і ємності, й індуктивності коливального контуру, а як інформативний сигнал використовується частота, що значно підвищує чутливість, швидкодію і економічність. Слід підкреслити, що теоретичні і експериментальні дослідження напівпровідникових діодів і транзисторів як аналогових магніточутливих елементів виконані у роботах [1,3]. Проте дослідження частотних магнітних перетворювачів тільки починається [4-6], хоча створення таких перетворювачів дозволяє значно покращити їх характеристики та сполучення з персональним комп'ютером.