

## ПРОБЛЕМИ СИНХРОНІЗАЦІЇ У ЦИФРОВИХ ПРИСТРОЯХ

© Вовк П.Б., Хайдер М.Р., 2009

**Розглянуто проблеми синхронізації у цифрових пристроях, описано шляхи їх подолання. Подано розрахунок параметрів синхроімпульсів.**

**The problems of synchronization are considered in digital devices, the ways of their overcoming are described. The calculation of parameters of synchropulses is given.**

**Постановка проблеми.** Швидкодія логічних елементів визначається швидкостями їх переходу з одного стану в інший. Швидкодія цифрової схеми загалом визначається затримками сигналів – як в логічних елементах, так і в колах їх міжз'єднань. Будь-який цифровий пристрій для обробки інформації у своєму складі містить функціональні вузли, що виконують типові мікрооперації. Розрізняють комбінаційні вузли або комбінаційні кола (КК) і послідовнісні кола або автомати з пам'яттю (АП). Проте характер функціонування цих типів вузлів різний.

Вихідні величини комбінаційних кіл залежать тільки від поточного значення вхідних величин (аргументів). Попередні значення не мають значення. Під час перехідних процесів на виходах КК з'являються короткочасні сигнали, не передбачені описом роботи КК, які називаються **ризиками** [1]. Вони з'являються на виході комбінаційних кіл у моменти перехідних процесів, з часом вони зникають, і вихід комбінаційної схеми набуває значення, що передбачене логічною формулою опису роботи. Якщо час затримки поширення  $t_3$  через логічний елемент відмінний від нуля, то при проходженні сигналу через логічну схему можуть виникати перешкоди у вихідному сигналі. Ці перешкоди мають вигляд коротких імпульсів і в деяких випадках приводять до серйозних збоїв в роботі схем. Розглянемо пристрій на рис.1. Якщо елементи схеми не вносять затримки сигналу, а  $x_0$  і  $x_1$  знаходяться в протифазі, тобто  $x_0 = \overline{x_1}$ , то  $y = (\overline{x_1 \cdot x_1}) = 1$ . Якщо ж кожен з п'яти логічних елементів має затримку  $t_3$ , тоді  $x_0'$  запізнюється відносно  $x_0$  на  $4 \cdot t_3$ , і на виході схеми виникає незапланований "негативний" імпульс (інтервал 1..2), зміщений на  $t_3$  елементу І-НЕ (інтервал 0..1). Процес проходження вхідних сигналів до загального виходу називається змаганнями, або "перегонами".

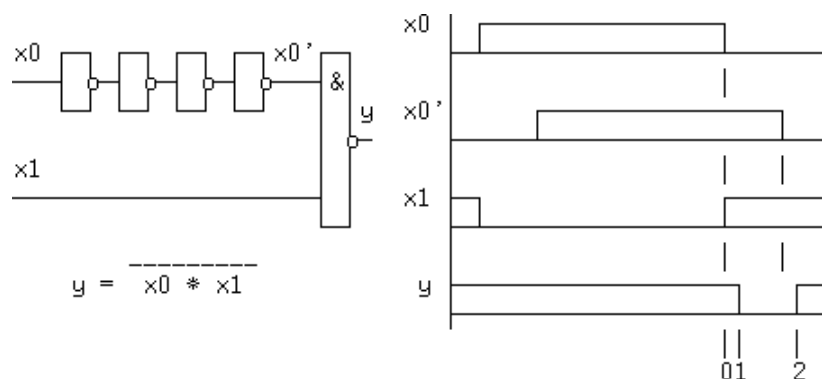


Рис. 1. Схема та часова діаграма, що ілюструють виникнення «перегонів»

На роботу комбінаційної схеми перехідні процеси попередньої схеми не впливають. Тобто перехідні процеси в КК не є небезпечними. Але в цифровому пристрої (ЦП) комбінаційні кола функціонують спільно з автоматами з пам'яттю. Ризики можуть бути сприйняті елементами пам'яті АП, незворотна зміна стану яких може докорінно змінити роботу цифрового пристрою, незважаючи

на зникнення сигналів ризиків на виході КК. У пристроях індикації такі короткі перешкоди можна ігнорувати, оскільки вони будуть непомітні для очей. Як позбутися впливу ризиків?

**Розв'язання проблеми.** Шкідливий ефект "перегонів" можна усунути кількома способами, один з яких полягає у додаванні до логічної функції додаткового доданку. Нехай деяка логічна функція рівна  $F = x_1 \cdot x_2 + \overline{x_1} \cdot x_0$ , тоді при  $x_2 = x_0 = 1$  може з'явитися завада, викликана тим, що сигнал  $\overline{x_1}$  затриманий відносно  $x_1$  на величину затримки інвертора (див. рис.2). Така завада є статичною і є більш небажаною, ніж динамічна. У пристроях індикації такі короткі перешкоди можна ігнорувати, оскільки вони будуть непомітні для очей.

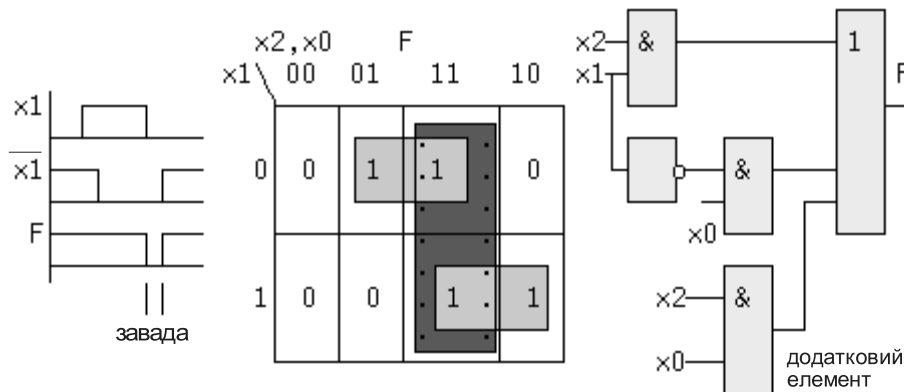


Рис. 2. Усунення ефекту «перегонів» введенням надлишкових елементів

Додавання зайвого імпліканта (у таблиці обведений крапками) усуває проблему, оскільки при критичній ситуації, коли  $x_2 = x_0 = 1$ , додаткова складова  $x_0 \cdot x_2 = 1$  і функція  $F = x_1 \cdot x_2 + \overline{x_1} \cdot x_0 + x_0 \cdot x_2$  завжди дорівнює 1 при  $x_2 = x_0 = 1$ .

Отже, такий спосіб полягає в синтезі схем, вільних від "гонок", і вимагає складного аналізу процесів в схемі і введення додаткових елементів для усунення ризиків. Такий шлях не гарантує повного усунення ризиків і рідко використовується на практиці.

Другий, основний для сучасних цифрових пристроїв, передбачає заборону сприйняття сигналів елементами пам'яті під час перехідних процесів. Приймання інформації дозволяється тільки спеціальним сигналом синхронізації, який подається на елементи пам'яті після завершення перехідних процесів у комбінаційних схемах. Такі структури називаються синхронними. Швидкодія такого синхронного пристрою знижується внаслідок додаткових затримок на синхронізацію.

Узагальнений тракт обробки інформації при синхронній організації процесів можна представити чергуванням комбінаційних кіл і елементів пам'яті, що відображає роботу ЦП як при просторовому чергуванні КК і АП, так і при послідовному виконанні різних операцій в різних часових тактах на одних і тих самих схемах.

Роботу пристрою спрощено можна представити так: комбінаційні кола перетворюють дані за тими або іншими логічними залежностями, а елементи пам'яті приймають оброблені дані після закінчення перехідних процесів, коли на виходах комбінаційних кіл встановлюються реальні значення сигналів. Отже, необхідно обрати такі тривалості імпульсу і паузи сигналу синхронізації, щоб параметри продуктивності і надійності системи були якнайкращими.

Синхронізація здійснюється тактовим генератором, сигнали якого розподіляються по усіх частинах пристрою і дозволяють прийом даних елементам пам'яті – синхронним тригерам. Вона упорядковує в часі послідовність операцій при обробці інформації в цифровому пристрої. Темп обробки задається частотою тактових сигналів.

Для визначення часового інтервалу, на якому відбуваються перехідні процеси, слід оцінити затримки на шляхах поширення сигналів від входів до виходів КК. Для цього потрібно визначити мінімальну і максимальну затримки сигналів. Для оцінювання мінімальної затримки слід врахувати мінімальні затримки елементів (і врахувати розкид затримок для елементів даного типу) і знайти найкоротший шлях від входів до одного з виходів КК. З урахуванням максимальних затримок елементів оцінюється найдовший шлях сигналу до виходу КК. Отже, необхідно визначити затримки  $t_{3\cdot\min}$  і  $t_{3\cdot\max}$ . У загальному випадку потрібно оцінити затримку сигналу на найкоротшому шляху як суму мінімальних затримок елементів, що складають цей шлях, і затримку на найдовшому шляху як суму максимальних.

Часова неідентичність шляхів до різних виходів КК утруднює усунення критичних часових станів сигналів. З цього погляду однаковість затримок для всіх виходів КК була б бажана.

Із сказаного випливає, що для розрахунку перехідних процесів в ЦП потрібні відомості про мінімальні і максимальні значення затримок елементів. На жаль, у паспортних даних виробник вказує тільки максимальні значення затримок, але рідко – відомості про мінімальні. Найповніше описувалися б затримки статистичними характеристиками, але вони, як правило, невідомі. Якщо дані тільки максимальні затримки, то втрачається можливість порівнювати часи проходження сигналів у різних колах (у будь-якому колі затримка може бути як завгодно малою), а це утруднює оцінювання працездатності схем і може змусити обрати не кращі схемотехнічні рішення.

Для кіл із елементів з незалежними затримками відношення  $t_{3\cdot\max}/t_{3\cdot\min}$  дорівнює приблизно 2...3, для елементів одного кристала між затримками елементів виникає сильна кореляція, і відношення  $t_{3\cdot\max}/t_{3\cdot\min}$  може істотно знижуватися [2].

Із синхронізацією тригера пов'язані два важливі параметри – час передустановки  $t_{SU}$  (Set-Up Time) і час витримки  $t_H$  (Hold Time). Час  $t_{SU}$  – це інтервал часу до моменту надходження синхросигналу, протягом якого інформаційний сигнал повинен залишатися незмінним. Час витримки  $t_H$  – це час після надходження синхросигналу, протягом якого інформаційний сигнал повинен залишатися незмінним. Дотримання часів передустановки і витримки забезпечує правильне сприйняття тригером вхідної інформації. Важливість цих параметрів обумовлюється ще і тим, що вони властиві не тільки тригерам, але й іншим пристроям.

Отже, тривалість імпульсу  $t_i$  повинна бути достатньою для надійного запису інформації в тригер. Параметр «час запису»  $t_{wc}$  задається в паспортних даних тригера. Можемо записати умову  $t_i \geq t_{wc}$ .

Нового стану тригери набудуть після закінчення максимальної із затримок їх перемикання з «нуля» в «одиницю» –  $t_3^{01}$  або з «одиниці» в «нуль» –  $t_3^{10}$ . Параметри  $t_{wc}$  і  $\max\{t_3^{01}, t_3^{10}\}$  часто близькі, але можуть і відрізнятися в два і більше разів [2]. Різницю  $\max\{t_3^{01}, t_3^{10}\} - t_{wc}$  позначимо через  $\Delta t_{\pi}$  (див.рис. 3).

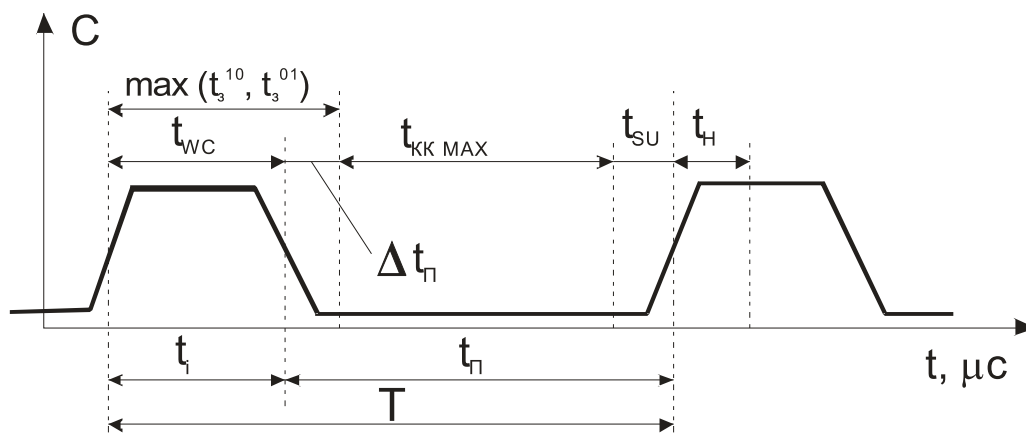


Рис. 3. Ілюстрація до визначення параметрів синхроімпульсів

Набувши нового стану, тригери тим самим формують на входах КК нові значення сигналів. Після цього до нового приймання даних має пройти час, достатній для проходження сигналу по найдовшому шляху в КК плюс час передустановки  $t_{SU}$  [3]. Тому для тривалості паузи маємо співвідношення:

$$t_{\bar{i}} = \Delta t_{\bar{i}} + t_{\hat{E}\hat{E}\hat{max}} + t_{SU}.$$

Мінімальний період тактових імпульсів  $T_{\min} = t_{i\min} + t_{n\min}$ , а їх частота  $f_{\max} = 1/T_{\min}$ .

На інтервалі від  $t_{KK\min}$  і  $t_{KK\max}$  після перемикавання тригерів вихідні сигнали КК не відповідають ні старому, ні новому значенням (дані нестабільні).

Як було сказано вище, для оцінювання працездатності схем необхідно проаналізувати кола на мінімальне значення часу затримок та перемикавання тригерів. Можливою є ситуація, коли один із найшвидших тригерів уже перемкнувся і сформував нові вхідні величини для найшвидшого комбінаційного кола, яке відразу ж сформує новий результат і замінить попередній, тобто скоротить час витримки тригера для запису попереднього результату, тобто попередній результат цього кола через недотримання часових інтервалів буде втрачений. Для попередження такої ситуації слід використовувати мікросхеми однієї серії з однаковими параметрами або додатково вводити елементи затримки.

Для багатьох схем, особливо для ВІС/НВІС, велику роль відіграють затримки сигналів у ємнісних лініях зв'язку, які слід оцінювати з урахуванням топології міжз'єднань. Тому на ранніх стадіях проектування розрахунок параметрів синхросистеми може бути тільки орієнтовним.

У системах з постійною тактовою частотою часто використовують генератори з кварцевою стабілізацією, що дає змогу забезпечити високу стабільність частоти. Якщо через нестабільність генератора частота перевищить допустиме значення, то це приведе до збою функціонування ЦП. Якщо ж частота дорівнюватиме нижній межі, то можлива втрата швидкодії пристрою. Певні вимоги пред'являються і до крутизни фронтів синхроімпульсів. Вона не повинна знижуватися нижче за допустиму межу. При пологих фронтах вихідні кола елементів можуть дуже довго залишатися під дією наскрізних струмів і, по-друге, при малій крутизні фронтів синхроімпульсів розкид порогів спрацьовування АП приводить до розкиду моментів їх перемикавання. Особливо важлива ця обставина для схем на елементах типу КМОН, для яких характерний підвищений розкид порогів спрацьовування.

Нині у вітчизняній і зарубіжній літературі розробляється напрямок під назвою "розроблення пристроїв із самосинхронізацією", у яких тактові імпульси слідуєть із змінною частотою, залежно від тривалості реального перехідного процесу. Проте перспективність цього напрямку ще не доведена.

1. Бабич Н. П., Жуков І. А. *Комп'ютерна схемотехніка: Навч. посібник.* – К.: "МК-Прес", 2004. – 412 с.
2. Узрюмов Е.П. *Цифровая схемотехника.* – СПб.: БХВ - Петербург, 2001. – 528 с.
3. *Схемотехника ЭВМ: Учебник / Под ред. Г.Н. Соловьева.* – М.: Высш. школа, 1985. – 391 с.