УДК 004.35

Л.О. Березко, В.В. Троценко
Національний університет “Львівська політехніка”,
кафедра електронних обчислювальних машин

16-РОЗРЯДНЕ ЯДРО ПРОЦЕСОРА З РОЗШИРЕНОЮ АРХІТЕКТУРОЮ

© Березко Л.О.,ТроценкоВ.В., 2009

Розглянуто нове 16-розрядне ядро процесора, призначене для імплементування в системи на кристалі на основі ПЛІС фірми Xilinx. Ядро спроможне надавати продуктивність 100 MIPS, споживає 70000 вентилів цільової матриці Virtex-2, дає змогу застосовувати в розробці безкоштовні САПР Xilinx WebPack і пропонується як VHDL-модель.

We consider the new 16-bit core processor designed to be implemented in systems on crystal based on programmable logic integrated circuit from Xilinx company. The core is able to provide performance of 100 MIPS, consuming 70000 VALVE target matrix Virtex-2, can be used in the development of free CAD Xilinx WebPack and is offered as a VHDL- model.

Вступ. Проектування гнучких апаратних комп’ютерних засобів на ПЛІС протягом останніх 20 років демонструвало схильність до ускладнення компонент, з яких збирають цільову систему на кристалі. Спочатку базовими були елементарні комбінаційні схеми, мультиплексори і тригери. Потім розпочали застосовувати такі готові складові, як процесори, пам'ять, кеш тощо. Зараз «центр тяжіння» проектування припав на створення систем методом інтегрування готових ядер, шин, процесорів, пам'яті, периферії і навіть комп'ютерів. Налаштування майже автоматично синтезованих за допомогою новітніх САПР багатокомп'ютерних і багатопроцесорних систем на конкретне завдання відтепер виконують з використанням програмування мовами різних рівнів: від асемблера до C/C++ та MatLab.

Огляд літературних джерел. Стан проблеми. На ринку ПЛІС/ПЛМ переважають фірми Xilinx і Altera, які практично задають не лише апаратну базу, але і базові технології проектування [1]. Надалі розглядатимемо виключно ПЛІС фірми Xilinx, які порівняно із зазначеним конкурентом мають вищу здатність до функціонування в несприятливих умовах, що досягається збільшенням собівартості мікросхем.

Фірма Xilinx пропонує безкоштовне, хоча і обмежене ліцензією за галузями застосування, ядро 8-розрядного процесора PicoBlaze [2]. Іншими відомими пропозиціями фірми є 32-розрядне ядро процесора MicroBlaze та 32-розрядне вбудоване до ПЛІС ядро процесора IBM PowerPC, але не всі ПЛІС підтримують 32-розрядні процесори. Пропозицій практично прийнятного 16-розрядного ядра немає.

На основі 8-розрядного ядра PicoBlaze [2] реалізують некомерційні одно- і багатопроцесорні системи, використовуючи засоби доступної САПР Xilinx WebPack. Розроблені системи налаштовують на задачу мовою асемблер, а не мовою VHDL. Це скорочує час на розроблення.

Засобом проектування комп'ютерних систем на основі ядер MicroBlaze і PowerPC з ліцензійною шиною IBM CoreConnect є ліцензійна САПР Xilinx ISE, а з ліцензійною надбудовою – Xilinx EDK. Проте часто-густо 32-розрядні системи виходять надто складними і далеко не всі задачі вимагають 32-розрядних обчислень. Спроектувати 32-розрядну систему засобами САПР WebPack (тобто, безкоштовно і без обмежень) неможливо. Цікаво, що систему практично не можна описати засобами SystemC, але можна це зробити мовою Handel-C вже з використанням платних систем проектування і бібліотек.

Нове 16-ти розрядне ядро процесора. Новому ядру притаманні такі особливості:

1. Архітектура нового ядра визначена нами як *розширена* архітектура PicoBlaze. Взято до уваги, що прототипну архітектуру перевірено тисячами застосувань, фактично тестувань. Вона пройшла в своєму розвитку три етапи змін. Зрозуміло, що паралельно напрацьовано і апробовано відповідне програмне забезпечення, а саме: прикладні програми, асемблери і оболонки систем програмування. Їх бажано успадкувати без або з мінімальними змінами. Зауважимо, що оригінальне 8-бітове ядро фірма Xilinx розповсюджує VHDL- текстами.
2. Нову архітектуру утворено нами розширенням формату даних з 8-ми до 16-ти бітів. Розрядність регістрів і обробляючих комбінаційних схем зросла удвічі. На щастя, прототипні формати машинних інструкцій мали довжини 16-ти бітів (для реалізацій на ПЛМ) і 18-ти бітів (для реалізацій на ПЛІС). Тому формати інструкцій ми залишили незмінними, і майже всі інструкції зберегли алгоритм виконання. Винятком стала інструкція завантаження безпосередніх даних до регістру, яка в розширеному варіанті теж оперує з байтом, але який завантажують до регістра зі знаковим розширенням. Отже, старі програми можна перекомпільовувати під нову архітектуру, не вносячи до них змін.
3. Наше 16-розрядне ядро процесора також можна розповсюджувати VHDL- текстами.

Синтез ядра поцесора і його вибрані технічні характеристики. Засобами неліцензійної САПР Xilinx WebPack VHDL модель нового процесорного ядра просинтезовано, проімплементовано, запрограмовано і отримано конфігураційний файл для ПЛІС Xilinx Virtex-2. Апаратний інтерфейс ядра показано на рис.1.

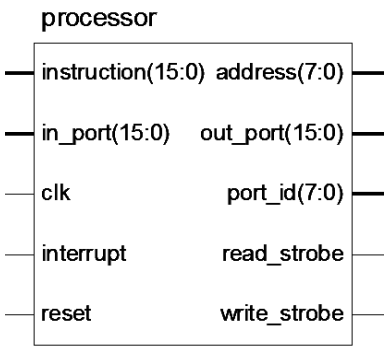

Рис. 1. Інтерфейс 16-розрядного ядра процесора

Нове ядро виконує 49 машинних інструкцій, має вісім 16-бітових регістрів, 256 прямо і непрямо адресованих 16-бітових портів, одну вхідну лінію зовнішнього маскованого переривання. Виконувані інструкції поділено на такі групи:

- керування обчислювальним процесом,
- зсуви,
- логічні операції,
- арифметичні операції,
- введення–виведення,
- обробки переривання.

Розроблено 16-бітовий асемблер, який на підставі вхідної асемблерної програми автоматично генерує такі файли:

- файл**.bin –** гексадецимальний код програми,
- файл**.fmt** – форматований асемблерний файл,
- файл**.mcs** – в форматі мікросистем mcs-86,
- файл**.vhd** – VHDL- модель програмної пам’яті з машинними кодами програми,
- файл**.log** – звіт асемблера про виконану роботу.

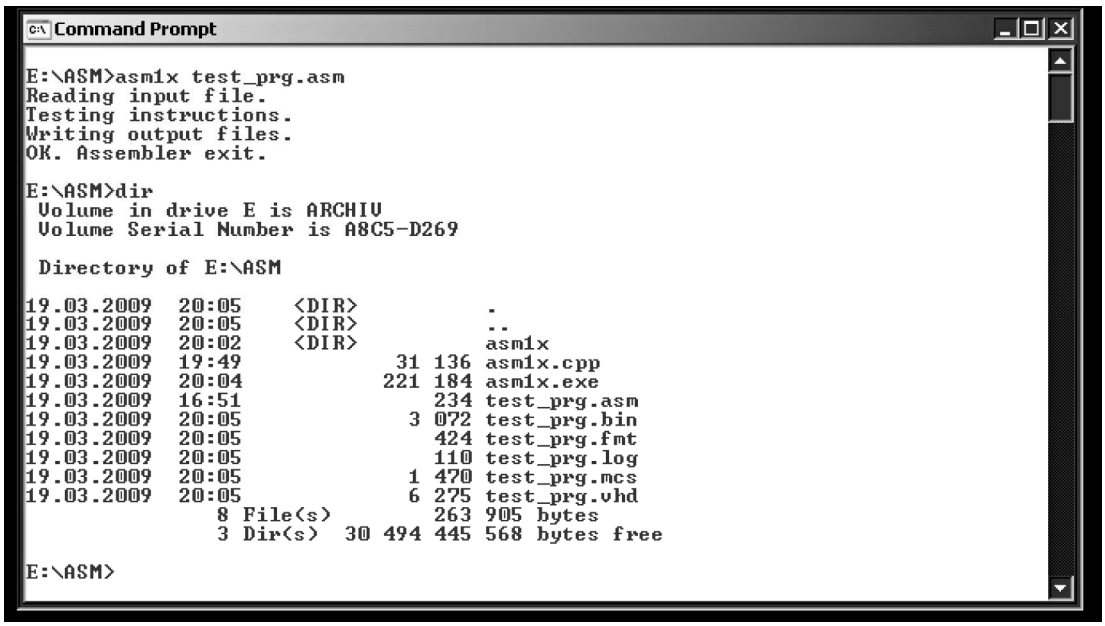

Рис. 2. Звіт роботи асемблера для 16-бітового ядра процесора

Асемблер підтримує три директиви:

- CONSTANT – призначити мітці 8-бітове константне значення.
- NAMEREG Directive – призначити нове ім’я будь-якому з восьми регістрів.
- ADDRESS Directive –призначити нову адресу розташування машинної інструкції, що розташована після цієї директиви.

Повертаючись до мікроархітектури ядра, зазначимо наявність 16-ти ліній введення і 16-ти ліній виведення, однієї лінії зовнішнього переривання, 256 портів введення і 256 портів виведення. Обсяг зовнішньої щодо ядра пам’яті машинних інструкцій становить 256 16- або 18-розрядних комірок. Отже, ядро має модифіковану гарвардську архітектуру.

На рис. 3 зображено функційну схему ядра контролера, що складається з процесора, пам’яті програм і вихідного порту.

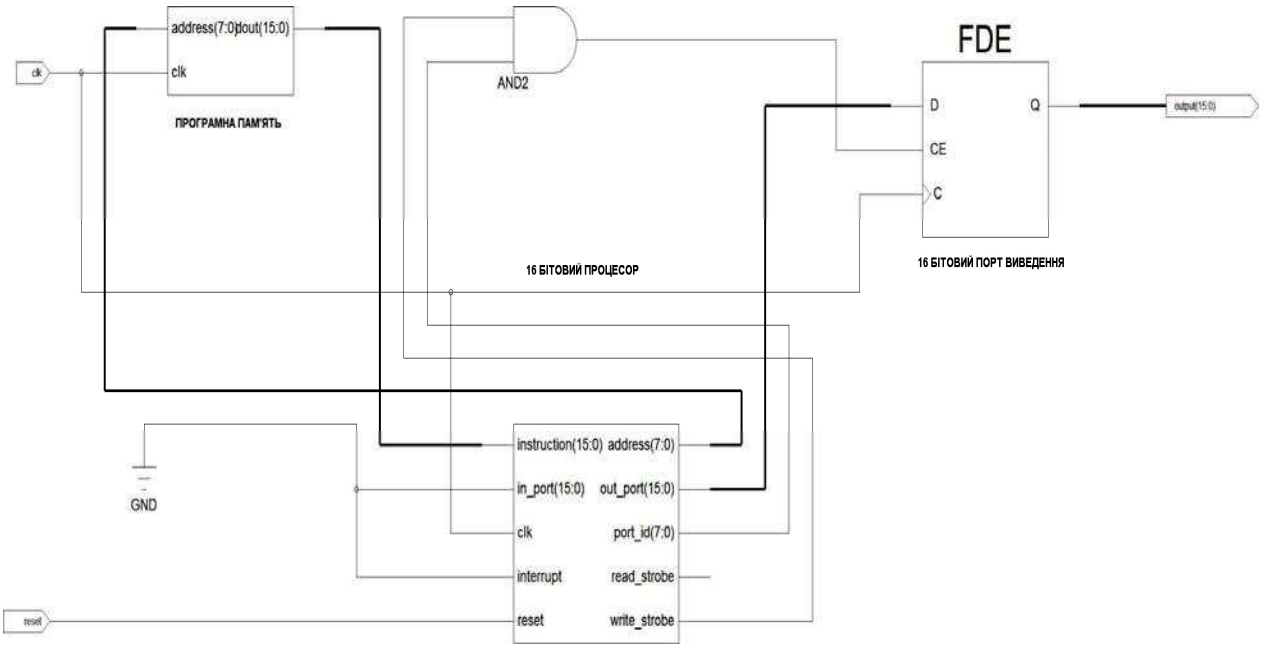

Рис. 3. Функційна схема ядра контролера на основі ядра 16-бітового процесора

Результати проектування ядра процесора перевірено методом часового симулювання з урахуванням внутрішніх затримок ПЛІС. У симулюванні використовувався фрагмент тестової програми керування функціонуванням контролера, поданий на рис. 4:

```
      Constant out_port, 01    ; declare output port
      Namereg s7, accumulator  ; declare accumulator
      ;
 Load accumulator, 32          ; init accumulator
Loop1:
      Output accumulator, out_port
      Add accumulator, 64      ; increment +64
      Jump loop1               ;infinite loop
```

Рис. 4. Фрагмент тестової програми

Поведінка симулювалася в часі з урахуванням таких значень сигналів тактування і скидання:

```
force clk 0 0, 1 5ns -r 10ns
force reset 1 0, 0 120ns
run 5us
```

Отриману симуляційну часову діаграму показано на рис. 5.

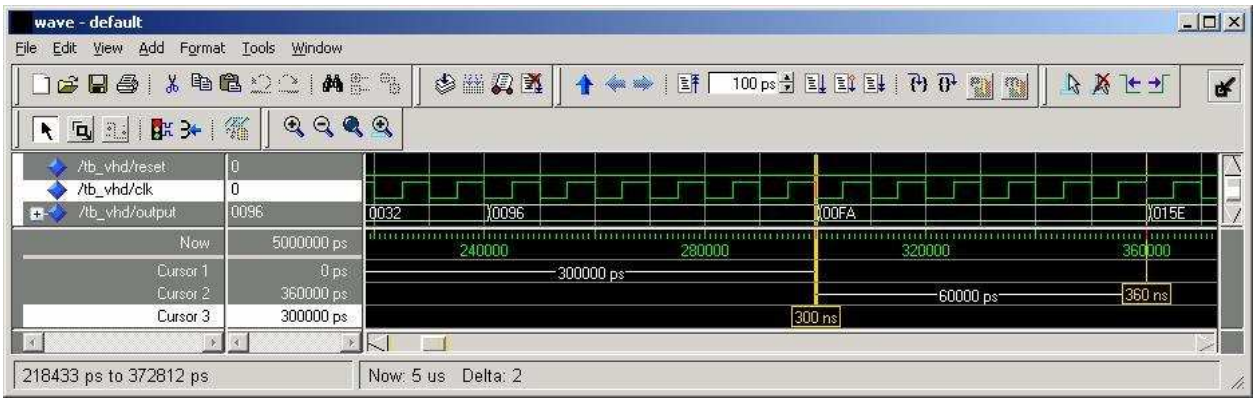

Рис. 5. Результати часового симулювання поведінки ядра контролера

Симулюванням перевірено, що функціонування контролера забезпечено на тактовій частоті 100 МГц для цільової ПЛІС Xilinx Virtex-2 (xc2v80-6fg256). При цьому продуктивність неконвеєрного варіанта, коли всі машинні інструкції є двотактовими, досягла 50 MIPS. Контролер має рівень інтеграції 70269 вентилів.

Висновки. Отже:

1. Застосування нового 16-розрядного ядра процесора з розширеною архітектурою Xilinx PicoBlaze дає змогу використовувати його не лише в системах керування, але і в системах обробки сигналів з 12/14-бітовими АЦП. Що є практично важливим.

2. Архітектурна сумісність з попередником зумовила високу надійність розробленої VHDL-моделі, разом з нею і імплементованого до ПЛІС ядра процесора. Зручною є збережена сумісність з наявним програмним забезпеченням архітектурного попередника, що дає змогу, по-перше, запозичувати існуючі програми на рівні асемблера, а по-друге, використовувати неліцензовані САПР розробки для синтезу систем з цими ядрами.

3. Нове ядро конвеєризується. При цьому продуктивність зростає удвічі і досягає значення 100 MIPS (навіть для ПЛІС Xilinx Virtex-2, що використовуються порівняно давно).

1. Максфилд А. Проектирование на ПЛИС. – М.: Издательский дом «Додека-XXI», 2007. – 408 с. 2. Chapman K. PicoBlaze 8-Bit Microcontroller for Virtex Devices. – Xilinx Application Note XAPP213.