

МЕТОДИ УДОСКОНАЛЕННЯ СТРУКТУР ШВИДКОДІЮЧИХ ОДНОРОЗРЯДНИХ ТА БАГАТОРОЗРЯДНИХ ДВІЙКОВИХ СУМАТОРІВ

Я. М. Николайчук, Н. Я. Возна, А. Я. Давлетова

Тернопільський національний економічний університет,
кафедра спеціалізованих комп'ютерних систем

© Николайчук Я. М., Возна Н. Я., Давлетова А. Я., 2019

Запропоновано методи удосконалення структур швидкодіючих одnorozрядних та багаторozрядних двійкових суматорів із гранично високою швидкодією та мінімальною апаратною складністю. Запропоновано спрощення структури логічного елемента “Виключаюче АБО” реалізацією на основі логічного елемента “Виключаюче І” та удосконалені структури одnorozрядних неповних суматорів на основі логічного елемента “Виключаюче І”. Наведено порівняльне оцінювання структурної, функціональної та відносної функціонально-структурної складностей їх схемотехнічних реалізацій. Запропоновано структури повних одnorozрядних суматорів із розширеними функціональними можливостями. Наведено оцінки структурних та функціональних характеристик схемотехнічних рішень таких одnorozрядних суматорів. Запропоновано оптимізацію структури багаторozрядних комбінаційних суматорів. Досліджено багаторozрядні комбінаційні суматори пірамідального типу з однофазними та парафазними інформаційними зв'язками. Наведено порівняльні характеристики оцінок структурної складності комбінаційних суматорів залежно від розрядності вихідних кодів.

Ключові слова: двійкові суматори, структурна складність, швидкодія.

Вступ

Арифметична операція додавання існує практично у всіх алгоритмах опрацювання сигналів та обчислень. Ця операція та компоненти, які її реалізують, є ваговим атрибутом, який істотно може впливати на продуктивність, апаратну та структурну складність багаторozрядних обчислювальних пристроїв та їх компонентів.

Однорozрядні неповні та повні суматори є базовими компонентами під час побудови арифметико-логічних пристроїв (АЛП) універсальних та спеціалізованих процесорів персональних комп'ютерів та мікроконтролерів, а також співпроцесорів та прискорювачів обчислювальних операцій. Багаторozрядні суматори з прискореними переносами та матричні перемножувачі ефективно застосовують у процесорах сортування масивів цифрових даних, процесорах цифрового опрацювання багаторozрядних кодів під час реалізації алгоритмів шифрування даних тощо.

Кількість одnorozрядних неповних та повних двійкових суматорів у структурах вказаних пристроїв може становити 3–6 порядків. Тому удосконалення системних характеристик двійкових суматорів згідно з критеріями максимального зменшення їх структурної, часової та апаратної складності – актуальне науково-прикладне завдання їх мікроелектронного синтезу на кристалах.

Постановка проблеми

Згідно з концепцією теоретичних основ вирішення задач із структуризації даних в інформаційних кіберфізичних системах, актуальною є проблема, яка охоплює: розроблення методів структурної оптимізації системних характеристик компонентів різних архітектур багаторозрядних спецпроцесорів, які забезпечують можливість підвищення швидкодії, зменшення апаратної складності та спрощення задач розпізнавання образів та цифрового опрацювання сигналів.

Аналіз останніх досліджень і публікацій

Фундаментальні дослідження у середовищі теорії структуризації даних (ТСД) подано у роботах відомих зарубіжних та вітчизняних вчених [1–13]. Вагомий внесок у ТСД під час вирішення проблеми удосконалення реконфігурованих процесорів та пам'яті зробили А. О. Мельник та В. А. Мельник [14–16]. Теорію джерел інформації та кодових систем Галуа розробив проф. Я. М. Николайчук [17–18].

Класичні рішення компонентів обчислювальних пристроїв, які містять однорозрядні та багаторозрядні двійкові суматори, детально подані у роботах [19–25]. Прикладом ефективного застосування теорії структуризації даних є успішний синтез схемотехнічних рішень неповних та повних однорозрядних двійкових суматорів із гранично мінімальними характеристиками апаратної складності та гранично максимальною швидкістю на основі застосування логічного елемента “Виключає І” [26–34]. Важливим позитивним досягненням цього аспекту ТСД є формалізація та оцінювання інформаційної, структурної та інформаційно-структурної складності згідно із запропонованими критеріями [35–36].

Формулювання цілі статті

Розроблення схемотехнічних рішень однорозрядних та багаторозрядних двійкових суматорів із гранично оптимізованими параметрами структурної, апаратної та часової складності дає змогу істотно поліпшити системні характеристики складних компонентів обчислювальних систем: АЦП, АЛП, цифрових кореляторів, спектральних аналізаторів, швидкодіючих перемножувачів, спецпроцесорів визначення Хеммінгової віддалі між сигналами та ін.

Зауважимо, що у разі зростаючої розрядності сучасних обчислювальних засобів 128-2048 розрядів один кристал може містити $2^6 - 2^9$ однорозрядних суматорів із відповідно великою кількістю комунікаційних зв'язків, яких враховують лише під час визначення їх структурної складності. Завдяки цьому у сучасних мікроелектронних та нанотехнологіях вартість та габарити транзисторів практично збігаються із вартістю зв'язків між ними.

Тому застосування теорії структуризації даних за допомогою розрахунку структурної складності мікроелектронних схемотехнічних рішень, крім оцінок апаратної та часової складності, – важливе прикладне завдання оптимізації характеристик двійкових суматорів, які є компонентами складних обчислювальних пристроїв.

Критерії оцінок складності структури однорозрядних двійкових суматорів розроблені в роботах [13, 35, 36] і охоплюють такі системні характеристики:

$$A = \sum_{j=1}^m V_j; \tau = \sum_{j=1}^m \tau_j; k_c = \sum_{i=1}^n \alpha_i P_i, F_C = \sum_{j=1}^m f_j, k_e = K \cdot \frac{F_C}{k_c} \Rightarrow \max,$$

де A, τ, k_c, F_C – відповідно апаратна, часова, структурна та функціональна складність, а α_i, P_i – параметри атрибутів структурної складності; f_j – функціонально-інформаційна характеристика структури пристрою [35].

Аналіз структурної складності наявних однорозрядних суматорів [24] дає змогу константувати їх певну надлишковість, яка зумовлена застосуванням традиційного критерію мінімізації кількості логічних елементів або застосуванням однотипних елементів, наприклад “І-НЕ”, що призвело до ускладнення структурних рішень (збільшення апаратної складності в 2–3 рази, а часової – у 2–5 разів) однорозрядних суматорів та значного зменшення їх швидкодії. Проведений

аналіз структурної складності свідчить, що структурна складність повних однорозрядних суматорів перевищує відповідну оцінку неповних суматорів у 2–3 рази. Серед структур неповних суматорів, найбільшою структурною складністю характеризуються суматори, реалізовані на основі логічних елементів “І-АБО-НЕ”, а повні однорозрядні суматори – відповідно реалізовані на основі однотипних логічних елементів І-НЕ. Тоді затримка сигналів у повних однорозрядних суматорах може становити 5–6 мікротактів.

Крім того, відомі структурні рішення однорозрядних суматорів не характеризуються функціональною повнотою входів та виходів. Тобто не містять входів керування, всіх прямих та інверсних вхідно-виходів $(a_i, \bar{a}_i; b_i, \bar{b}_i; P_+, \bar{P}_+; S_i, \bar{S}_i; P_{++}, \bar{P}_{++})$, де $a_i, \bar{a}_i; b_i, \bar{b}_i$ – вхідні прями та інверсні інформаційні сигнали; P_+, \bar{P}_+ – прями та інверсні вхідні сигнали наскрізного переносу з молодшого розряду, S_i, \bar{S}_i – прями та інверсні виходи суми; P_{++}, \bar{P}_{++} – прями та інверсні виходи наскрізного переносу у старший розряд. Очевидно, що досягнення функціональної повноти відомих структур однорозрядних суматорів призведе до погіршення системних характеристик апаратної, часової та структурної складності.

Отже, проведені дослідження є основою для вдосконалення структурних рішень однорозрядних суматорів із метою забезпечення максимальної функціональної, мінімальної структурної, часової та апаратної складності згідно із системами критеріїв:

$$\begin{cases} F \Rightarrow \max; \\ k_c \Rightarrow \min; \\ A \Rightarrow \min; \\ \tau \Rightarrow \min. \end{cases}$$

Граничною оцінкою мінімуму часової складності, яка забезпечує максимальну швидкодію однорозрядних суматорів, є одночасне формування прямих та інверсних вихідних сигналів $(S_i, \bar{S}_i; P_{++}, \bar{P}_{++})$ суми та переносу з мінімальною часовою затримкою сигналів на 1 мікротакт, що визначає актуальність вирішення такої прикладної задачі для синтезу та удосконалення структур складних пристроїв та спецпроцесорів обчислювальної техніки.

Базовим компонентом однорозрядних двійкових суматорів є схемотехнічна реалізація логічного елемента “Виключаюче АБО” [4] (рис. 1).

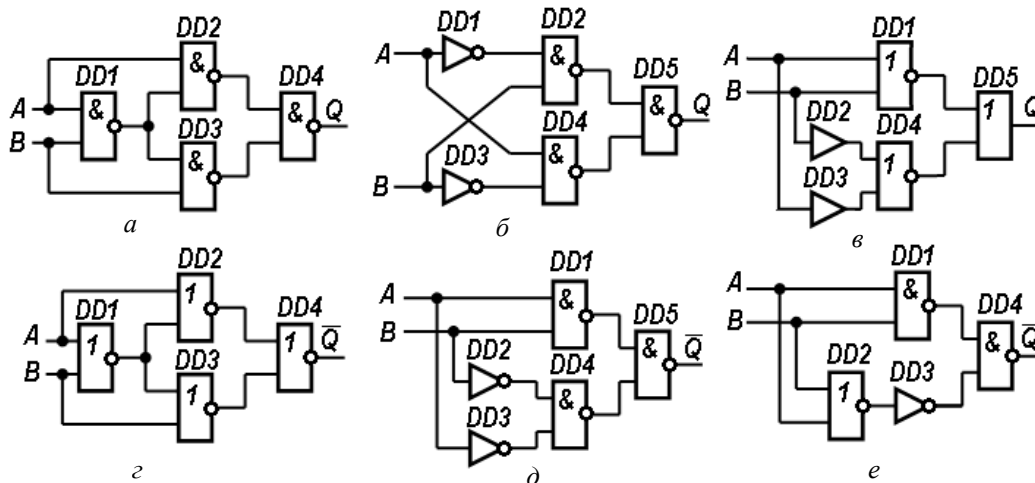


Рис. 1. Структури вузла “Виключаюче АБО” без інверсії (а–в) та з інверсією (г–е)

Подані реалізації логічного елемента “Виключаюче АБО”, які містять 4 або 5 вентилів та характеризуються затримкою сигналів на 3 мікротакти призводять до значного зниження швидкодії та зростання апаратної складності однорозрядних двійкових суматорів.

У разі застосування парафазних входів структура логічного елемента “Виключаюче АБО” спрощується, що показано на рис. 2, б, в, також спрощується за його реалізації на основі логічного елемента “Виключаюче І” (рис. 2, з) [25], який реалізує функцію логічного елемента “Виключаюче АБО” згідно з логічним рівнянням $a \oplus b = \overline{a \wedge b} \wedge (a \vee b)$. Реалізація логічного елемента “Виключаюче І”, який містить два логічні елементи І-НЕ та АБО з об’єднаними входами та виходами, як показано в [25], можлива згідно з мікроелектронною технологією ЕЗЛ.

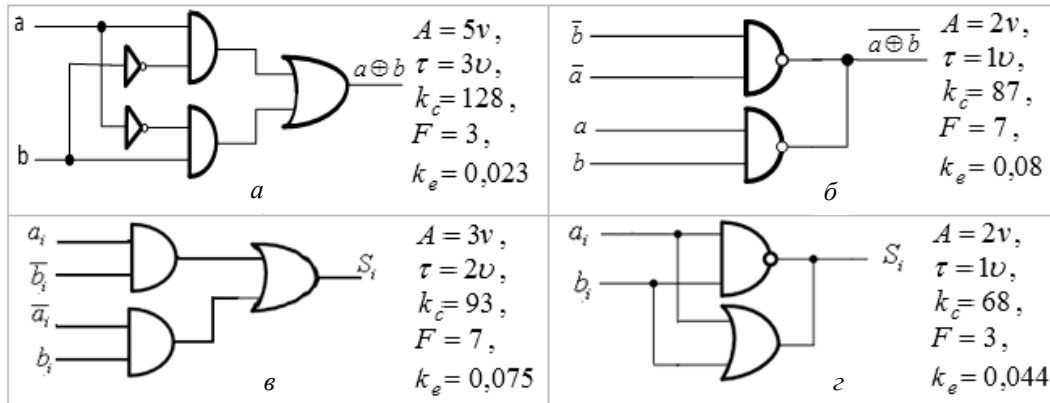


Рис. 2. Структури різних схемотехнічних реалізацій логічного елемента “XOR”

Порівняльні характеристики оцінки структурної складності класичних елементів “Виключаюче АБО” (рис. 1) та його удосконалених структур (рис. 2) подані на діаграмі (рис. 3).

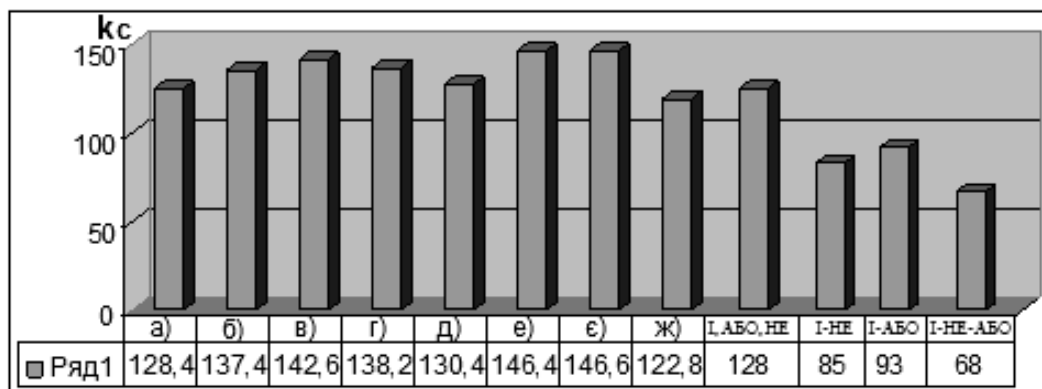


Рис. 3. Діаграма оцінки структурної складності різних схемотехнічних реалізацій логічного елемента “Виключаюче АБО”

Під час розрахунку структурної та функціональної складності таких компонентів обчислювальних засобів враховують різницю між функціональною складністю прямих та інверсних входів та виходів. Тобто, прямі входи / виходи функціонально оцінюють як 1, а інверсні – 2 [13].

У табл. 1 показано діаграми характеристик структурної, функціональної та інформативної складності різних удосконалених (рис. 2) схемотехнічних реалізацій логічного елемента “XOR”.

Якщо кількість елементів у складній структурі перевищує 2–3 порядки, то розрахунок структурної складності доцільно виконувати згідно з виразом:

$$k_{cl} = \hat{E}[\log_2 k_c]. \quad (1)$$

Логарифмічна оцінка структурної складності досліджуваного компонента “XOR” різних структур, наведених на рис. 2, становитиме відповідно:

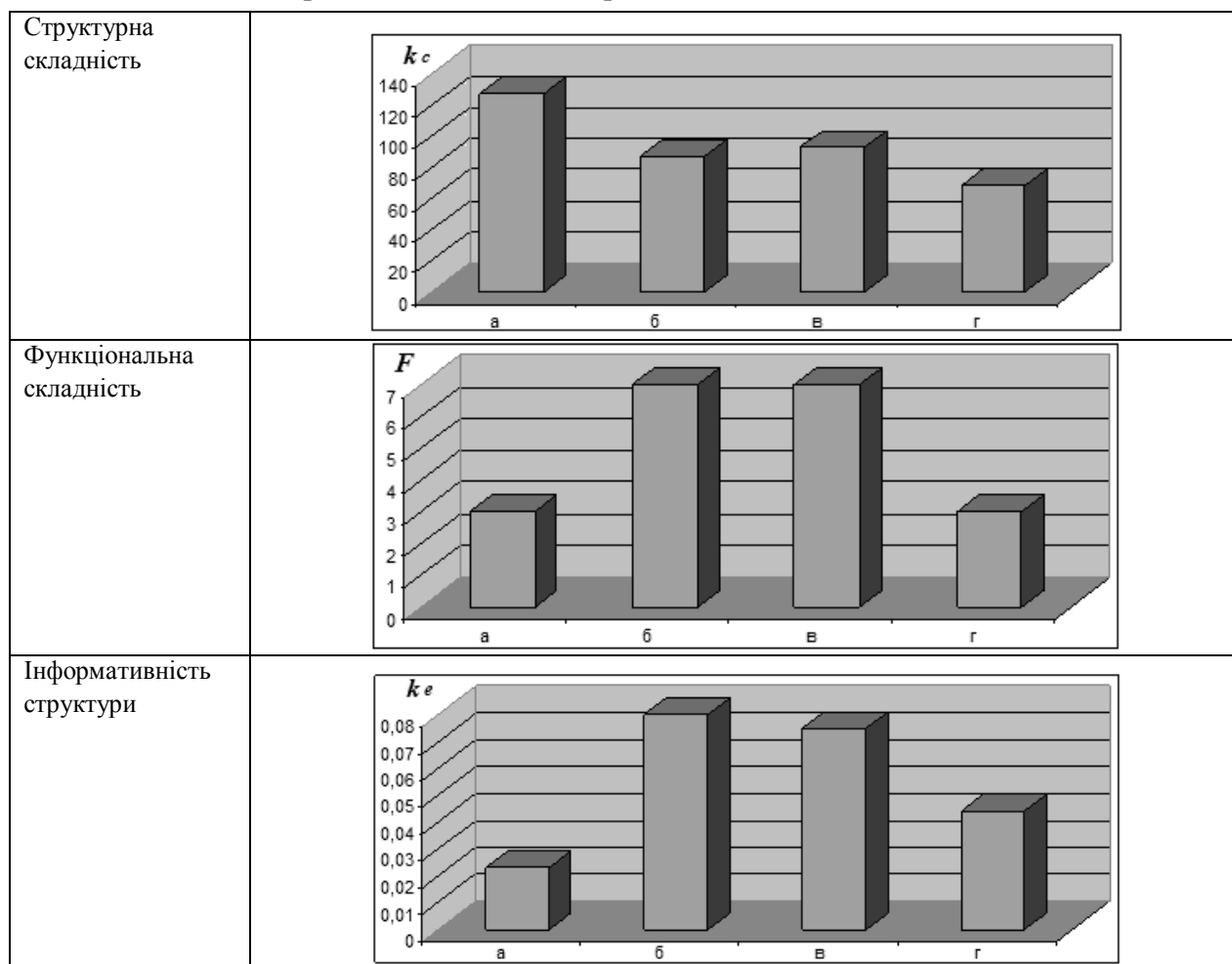
$$k_{cl}a = \log_2 128 = 7;$$

$$k_{cl}в = \log_2 93 = 6,5;$$

$$k_{cl}б = \log_2 87 = 6,4;$$

$$k_{cl}г = \log_2 68 = 6,1.$$

Діаграми характеристик структурної, функціональної та інформативної складності різних схемотехнічних реалізацій логічного елемента “XOR”



Отже, оцінку структурної складності визначатимуть за кількістю двійкових одиниць (біт).

Удосконалені структури однорозрядних неповних суматорів на основі логічного елемента “Виключаюче І”

На рис. 4 показано структури та системні характеристики неповних однорозрядних суматорів, запропонованих як компоненти багаторозрядних комбінаційних суматорів із прискореними переносами [30].

На рис. 5 показано структури однорозрядного неповного суматора з парафазними входами та виходами.

Такі швидкодіючі неповні однорозрядні суматори, з гранично мінімальними системними характеристиками структурної, апаратної та часової складності, з різними характеристиками функціональної повноти, є компонентами структури багаторозрядного швидкодіючого комбінаційного суматора з пірамідальною структурою [30].

У роботі [30] запропоновано компоненти однорозрядних неповних суматорів (рис. 6) із прямими (а) та інверсними (б) виходами переносу, в яких застосовано реалізацію логічного елемента “Виключаюче І” об’єднанням інверсного виходу логічного елемента “І-НЕ” з прямим виходом логічного елемента “АБО”, запропонованого в [25].

Досліджені структури однорозрядних неповних суматорів на логічних елементах “Виключаюче І” з гранично мінімальною структурною складністю реалізовані у структурах, запропонованих авторами, суматора з прискореним переносом [29], пірамідального комбінаційного суматора [30] та повного однорозрядного суматора з інверсними переносами [31].

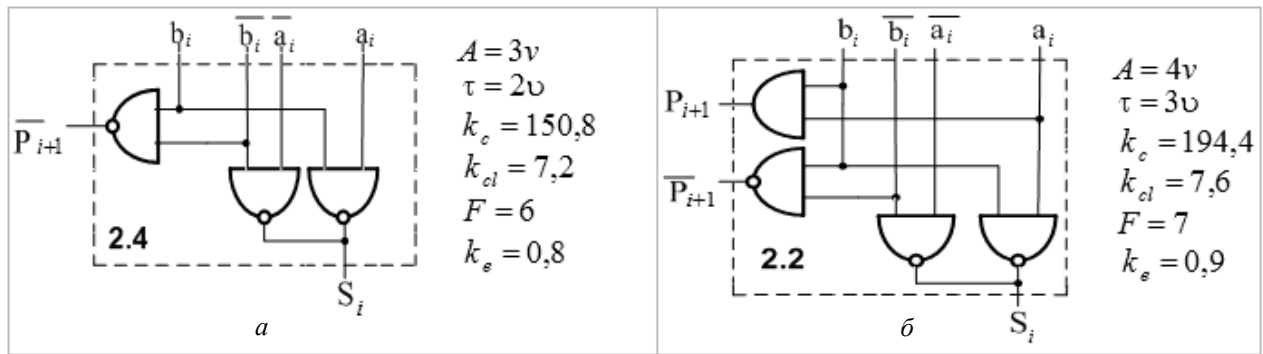


Рис. 4. Структури однорозрядних неповних суматорів із однорозрядними входами та виходами – компонентів пірамідальної структури комбінаційного суматора: а – із парафазними входами, прямим виходом суми та інверсним виходом переносу; б – із прямим виходом суми та прямим й інверсним виходами переносу

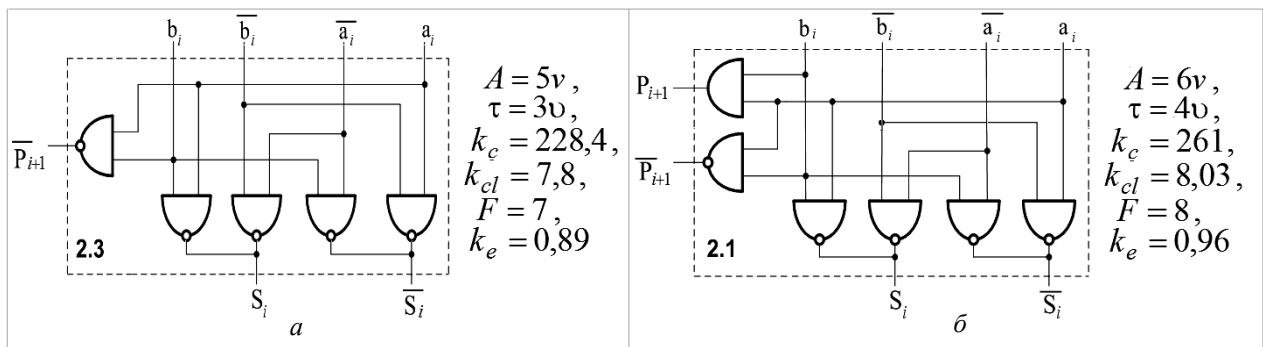


Рис. 5. Однорозрядні неповні суматори з парафазними входами та виходами: а – однорозрядний неповний швидкодіючий суматор із парафазними входами, парафазним виходом суми та однофазним виходом переносу; б – однорозрядний повнофункціональний неповний суматор із парафазними входами та виходами

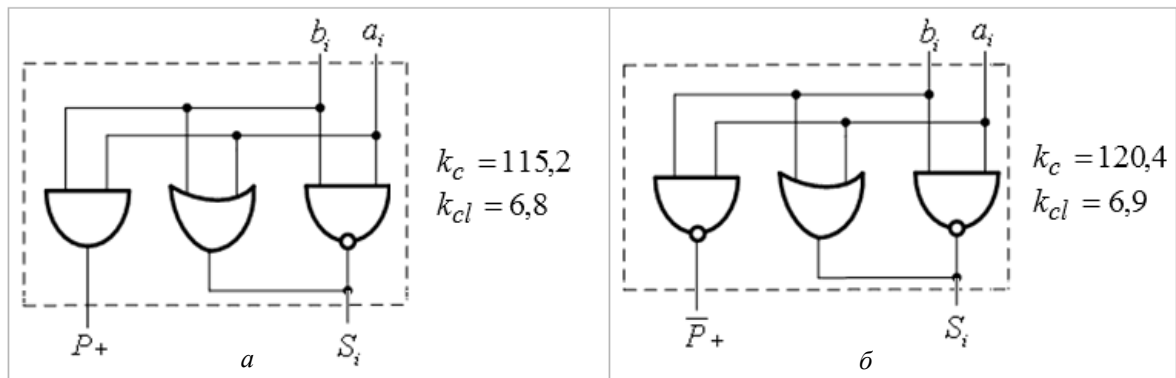


Рис. 6. Спрощені структури однорозрядних неповних суматорів на логічних елементах “Виключаюче І”

Порівняно з відомими структурами однорозрядних неповних суматорів із прямими входами та виходами оцінка ефективності їх структур становить:

$$k_{cl} a = \frac{4}{6,9} = 0,58; \quad k_{cl} b = \frac{4}{6,8} = 0,59.$$

Реалізація структури однорозрядного неповного суматора на основі застосування логічного елемента “Виключаюче І” дала змогу зменшити його структурну складність порівняно з відомими структурами у 2–7 разів [24].

Застосування логічного елемента “Виключаюче АБО” на основі парафазних входів та монтажного об’єднання вихідних інверсних виходів логічних елементів “І-НЕ” (рис. 2, з) дає змогу

спростити структуру однорозрядного неповного суматора, який є компонентом структури однорозрядного неповного двійкового суматора з парафазними входами та виходами (рис. 5, б) [31]. Такий суматор містить 5 логічних елементів “I-HE” та один елемент “I” й виконує операцію додавання за один мікротакт. Структурна складність такого суматора становить $k_c = 150$ одиниць.

На діаграмах (рис. 7–9) показано порівняльні оцінки структурної, функціональної та відносної функціонально-структурної складностей удосконалених схемотехнічних реалізацій неповних однорозрядних суматорів.

Структурні методи підвищення швидкодії однорозрядних повних двійкових суматорів

Структури відомих повних однорозрядних суматорів класифіковано та наведено у роботі [34]. Класичну структуру суматорів, застосовуваних у світовій практиці, та їх системні характеристики наведено на рис. 10, а [11]. Такі класичні повні однорозрядні суматори з прямими однофазними входами та виходами містять 2 послідовно з'єднані логічні елементи “Виключаюче АБО” (1), які складаються з 4–5 логічних елементів “I”, “АБО”, “HE” [4], логічні елементи “I” (2) та “АБО” (3).

Ці однорозрядні повні суматори використовують у структурах прискорювачів обчислювальних операцій ПК, мікроконтролерів та спецпроцесорів під час виконання операцій множення, додавання, піднесення до квадрату, накопичення сум, сортування масивів даних, а також під час виконання складних алгоритмів обчислень над багаторозрядними двійковими числами у завданнях шифрування, томографії, факторизації та ін.

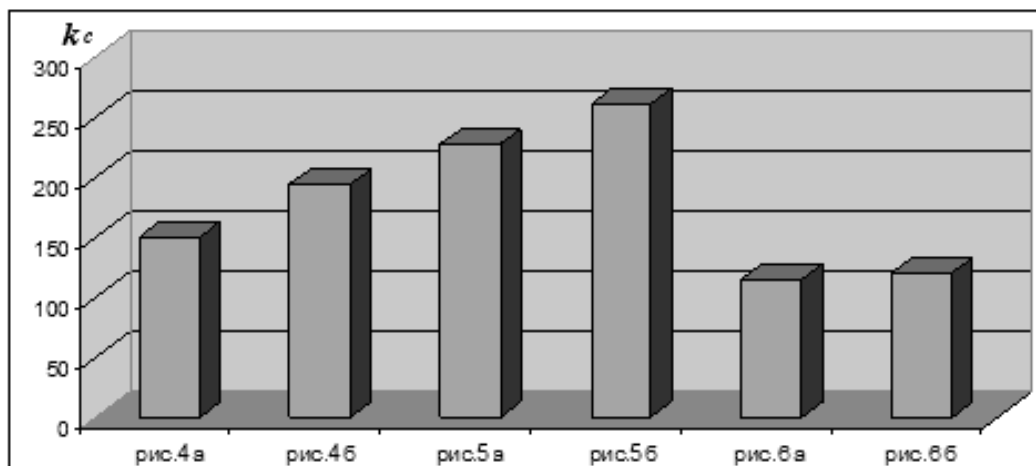


Рис. 7. Оцінка структурної складності удосконалених неповних однорозрядних суматорів

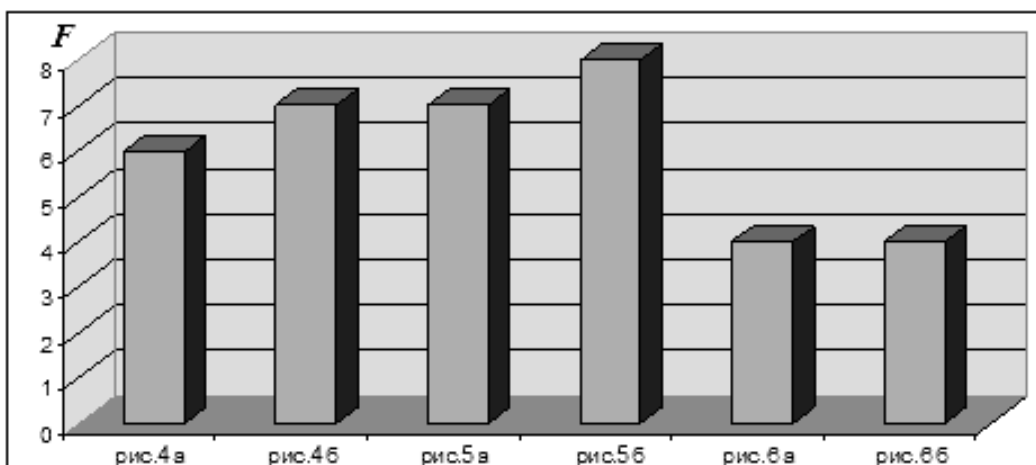


Рис. 8. Оцінка функціональної складності удосконалених неповних однорозрядних суматорів

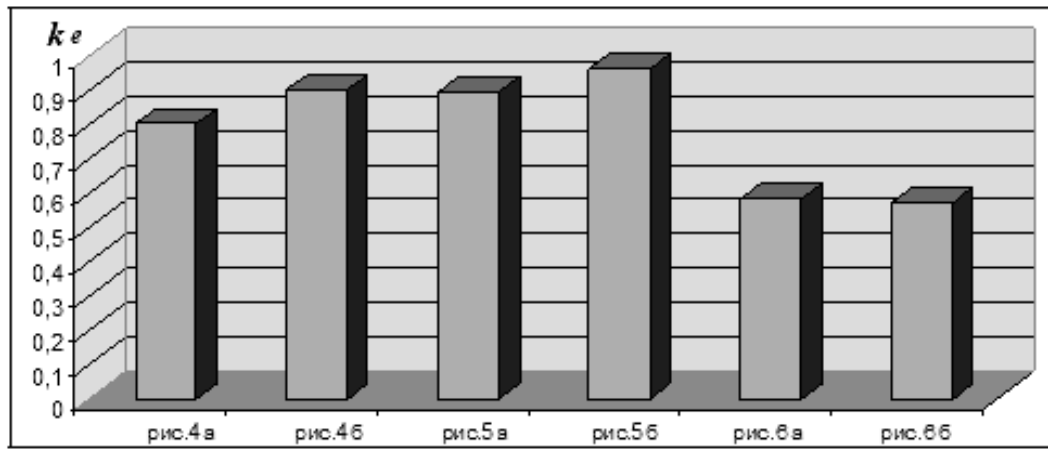


Рис. 9. Оцінка функціонально-структурної складності удосконалених неповних однорозрядних суматорів

Тому основною вимогою удосконалення їх структурних рішень є досягнення максимально високої граничної швидкодії.

У роботі [31] запропоновано структуру однорозрядного повного суматора з однофазними входами та виходами на основі логічних елементів “Виключаюче І”.

На основі структур однорозрядних неповних суматорів (рис. б), де застосований логічний елемент “Виключаюче І”, реалізовано структуру повного однорозрядного суматора, функціональні схеми та системні характеристики якого показано на рис. 10, б, в [31].

Структура запропонованого однорозрядного суматора відрізняється від відомих наявністю інверсних входів $\overline{C_{in}}$ та інверсних виходів $\overline{C_{out}}$ (рис. 10, в), що забезпечує мінімально можливу затримку сигналів наскрізних переносів на 1 мікротакт, яка дає змогу максимально підвищити швидкість багаторозрядних двійкових суматорів за рахунок затримки сигналів наскрізних переносів на 1 мікротакт. Відповідно у 2 рази підвищується швидкість спеціалізованих процесорів цифрового опрацювання даних, структури яких містять велику кількість послідовно з'єднаних запропонованих однорозрядних повних суматорів.

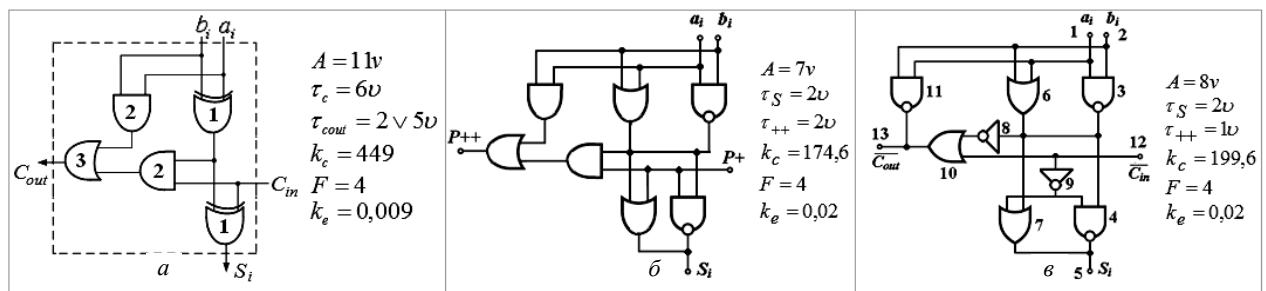


Рис. 10. Структури однорозрядного повного суматора: класична (а) та з однофазними входами та виходами на основі логічних елементів “Виключаюче І” (б, в)

Класична реалізація повних однорозрядних двійкових суматорів, зі структурою на рис. 10, а [2, 11, 12], які містять 2 логічних елементи “Виключаюче АБО”, кожен із яких містить 4 логічні елементи (рис. 2) [4], 2 логічні елементи “І” та один логічний елемент “АБО”, в сумі становить 11 логічних елементів.

Оцінка структурної та апаратної складності запропонованого повного однорозрядного суматора (рис. 10, в) становить відповідно 199,6 одиниць та 8 вентилів. Тобто, структурна складність удосконаленого однорозрядного повного суматора порівняно з класичною реалізацією такого типу суматорів (рис. 10) зменшена у $449/199,6=2,25$ рази, а апаратна складність зменшена у

11/8=1,4 раза. Оскільки повний однорозрядний суматор як обчислювальний компонент масово застосовують у структурах АЛП універсальних багаторозрядних процесорів ПК та мікроконтролерів (32–128 розрядів), прискорювачах операції множення ($32^2 - 128^2$ суматорів), а також великорозрядних процесорах шифрування даних (512–2048 біт), застосування запропонованої структури однорозрядного суматора дає змогу зменшити обсяг структурної складності на 44,5 %, а апаратної – на 27 %. Тоді відповідно підвищується надійність мікроелектронних компонентів обчислювальних засобів, зменшується тепловиділення, габарити та вартість кристалів.

Базові структури неповнофункціональних однорозрядних суматорів, в яких використовують вхідні парафазні сигнали, розробив М. А. Карцев [5]. Відсутність повного набору прямих та інверсних бітів на входах та виходах відомих однорозрядних суматорів істотно обмежує його функціональні можливості та їх застосування як структурного компонента складніших обчислювальних пристроїв, а також фактично не дає змоги максимально підвищити його швидкодію до рівня одного мікротакту перемикавання одного логічного елемента у структурі однорозрядного суматора.

На рис. 11 [27] показано функціональне позначення запропонованого однорозрядного суматора з одним комутативним входом: a, b, P – відповідно третій, перший та другий інформаційні входи однорозрядного суматора; $\bar{a}, \bar{b}, \bar{P}$ – відповідно четвертий, п'ятий та шостий інверсні інформаційні входи однорозрядного суматора; P, S – відповідно перший та другий прямі виходи переносу та суми однорозрядного суматора; \bar{P}, \bar{S} – відповідно третій та четвертий інверсні виходи переносу та суми однорозрядного суматора; Y – вхід комутації таблокування результату однорозрядного суматора.

У роботі [27] запропоновано структуру повного повнофункціонального однорозрядного суматора (рис. 12) введенням інверсних входів та виходів та логічних елементів “І-НЕ”, мультиплексно з'єднаних виходами між собою, що дає змогу забезпечити можливість збереження високої швидкодії у разі його застосування як компонента структурно складніших багаторозрядних матричних та багатокаскадних засобів обчислювальної техніки, в яких передбачені операції додавання двійкових чисел теоретико-числового базису Радемахера.

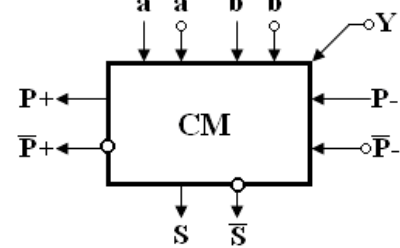


Рис. 11. Функціональна схема повного суматора з керуючим входом

Такий суматор (рис. 12) містить: 1, 2, 3 – прямі інформаційні входи; 4, 5, 6 – інверсні інформаційні входи; 7 – вхід блокування результату однорозрядного суматора; 8 – група логічних елементів “І-НЕ”; 8.1, 8.2, 8.3, 8.4 – відповідно перша, друга, третя та четверта підгрупи логічних елементів “І-НЕ”; 9.1, 9.2 – перший та другий логічні повторювачі з інверсними виходами (реалізовані на основі двох послідовно з'єднаних логічних елементів “НЕ”, на рис. 11 позначено інверсією на вході та виході як міжкаскадні підсилювачі); 10, 11 – прямий та інверсний виходи переносу, 12, 13 – прямий та інверсний виходи суми однорозрядного суматора.

У результаті запропонованої структури створено швидкодіючий однорозрядний повний суматор із розширеними функціональними можливостями як компонент багаторозрядних та багатокаскадних засобів обчислювальної техніки з часовою складністю $\tau = 1v$, де v – тривалість перемикавання одного логічного вентиля. Реалізація таких комутованих суматорів формування парафазних сигналів суми та переносів за 1 мікротакт, згідно з відповідною мікроелектронною технологією на спеціалізованих кристалах або ПЛІС у 2–5 разів перевищує швидкодію відомих структур.

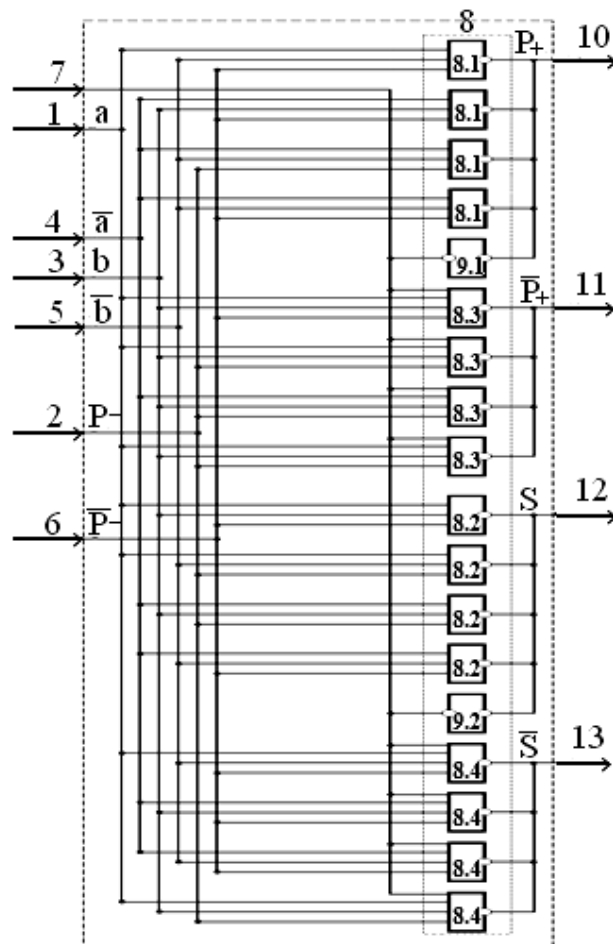


Рис. 12. Структурна схема швидкодіючого однорозрядного повного суматора на логічних елементах "I-HE"

У роботі [26] запропоновано структурно удосконалений однорозрядний повнофункціональний суматор, функціональну схему якого показано на рис. 13.

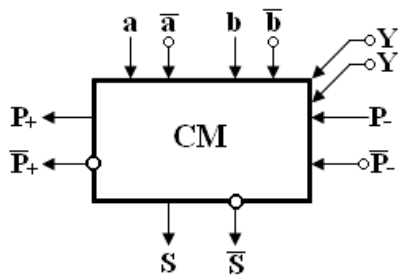


Рис. 13. Функціональна схема повного суматора з двома керуючими входами

Підвищення швидкодії та розширення функціональних можливостей такого однорозрядного суматора досягнуто введенням чотирьох груп мультиплексно з'єднаних виходами логічних елементів "I-HE" та повноти прямих та інверсних виходів, що дає змогу забезпечити принципову можливість збереження високої швидкодії у разі його застосування як структурного базового компонента функціонально складніших багаторозрядних матричних, пірамідальних та багатокаскадних засобів обчислювальної техніки, в яких передбачено операції додавання двійкових чисел теоретико-числового базису Радемахера.

У табл. 2 подано кількісні оцінки функціональної та структурної складності функціональних схем напівсуматорів та повних суматорів (рис. 10, 12, 13).

Такий суматор (рис. 13) із двома комутованими входами містить: a , b , P_- – третій, перший та другий інформаційні входи однорозрядного суматора; \bar{a} , \bar{b} , \bar{P}_- – четвертий, п'ятий та шостий інверсні інформаційні входи; P , S – перший та другий виходи переносу та суми; \bar{P}_+ , \bar{S} – третій та четвертий інверсні виходи переносу та суми; Y – входи блокування результату.

Підвищення швидкодії та розширення функціональних можливостей такого однорозрядного суматора

**Оцінки структурних та функціональних характеристик
схемотехнічних рішень однорозрядних суматорів**

Схема на рисунках:	Вхід	Вхід кер.	Вихід	k_c	F
10 б	2		2	97	4
10 в	3		2	119	5
11	6	1	4	178,2	15
13	6	2	4	197,4	20

На рис. 14 [26] показано структурну схему удосконаленого швидкодіючого однорозрядного суматора з максимальною швидкодією та розширеними функціональними можливостями.

Суматор (рис. 14) містить 4 групи логічних елементів “І-НЕ” (17) для формування прямих та інверсних виходів суми та переносів, а також 2 групи логічних елементів блокування вхідних інформаційних потоків (13–16), які застосовуються у структурах матричних перемножувачів. Логарифмічна оцінка структурної складності такого суматора становить $k_{cl} = 11$ біт.

У табл. 3 наведено кількісні оцінки структурної та функціональної складності розглянутих повних однорозрядних суматорів (рис. 12, 14).

Оцінка структурної та функціональної складності запропонованих повних однорозрядних суматорів (рис. 13) та (рис. 14) становить:

рис. 13 та рис. 14: $k_e = 0,04$; рис. 15: $k_c = 409,6$;

рис. 15: $k_c = 409,6$; $F = 20$ $k_e = 0,05$.

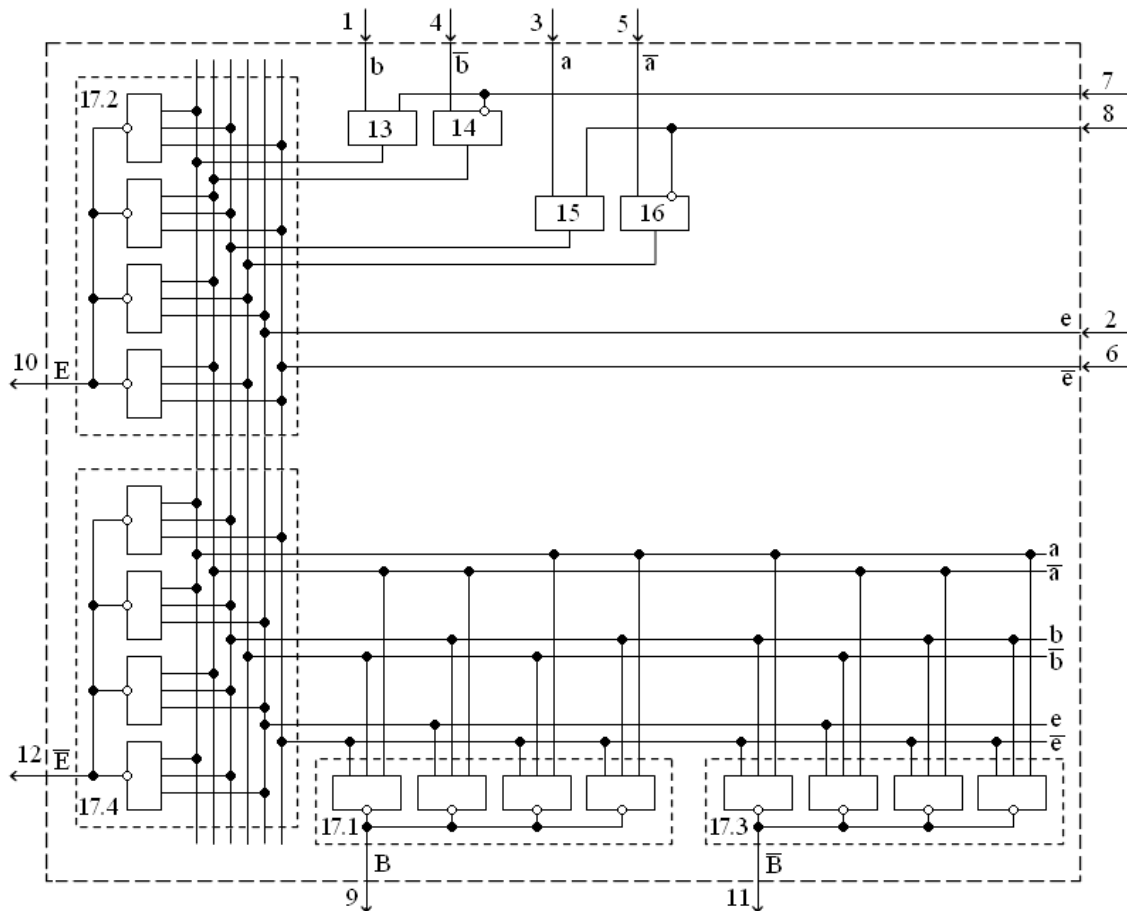


Рис. 14. Структура однорозрядного повного швидкодіючого суматора з розширеними функціональними можливостями

Оцінки кількісних показників структурної та функціональної складності запропонованих повних однорозрядних суматорів

Структура на рисунках:	Логічні елементи				Вхід	Вхід кер.	Вихід	Зв'язки	З'єднання	k_c	F	k_e
	I	АБО	НЕ	I-НЕ								
12			4	16	6	1	4	83	77	415	15	0,04
14	4			16	6	2	4	90	72	409,6	20	0,05

Оптимізація структур багаторозрядних комбінаційних суматорів

Багаторозрядний комбінаційний суматор пірамідального типу

з парафазними інформаційними зв'язками

Комбінаційні суматори пірамідального типу застосовують як базові компоненти швидкодіючих арифметико-логічних пристроїв та процесорів опрацювання цифрових даних.

Відома структура комбінаційного багаторозрядного суматора (рис. 15) [23] містить 6-розрядну вхідну шину ($a_0, b_0, a_1, b_1, a_2, b_2$), виходи якої з'єднані з відповідними прямими входами пірамідальної структури, яка містить логічні елементи “Виключаюче АБО” та “І”, та з відповідними входами вихідної шини (S_0, S_1, S_2, S_3).

Оцінювання системних характеристик такого суматора здійснюють на основі розрахунку апаратних (A), часових (τ), структурних (k_c), функціональних (F) та функціонально-структурних (k_e) характеристик його компонентів (табл. 4).

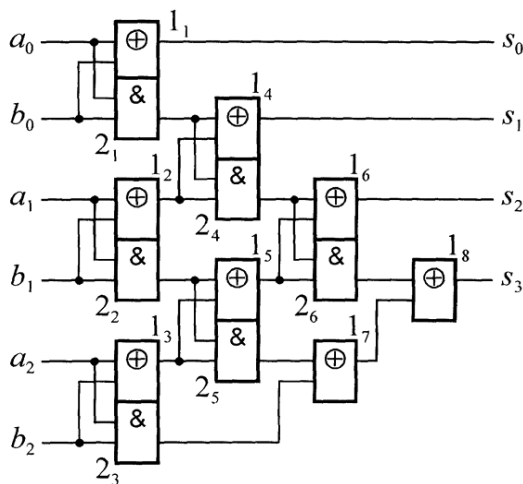


Рис. 15. Комбінаційний суматор, що містить елементи “Виключаюче АБО” (1) та “І” (2)

Оцінки системних характеристик компонентів комбінаційного суматора за розрядності $k = 4$

Компоненти структури	К-сть ком-тів	Вхід	Вихід	A, v		τ, v		k_c		F		k_e
				1 ел.	Σ	1 ел.	Σ	1 ел.	Σ	1 ел.	Σ	
“Виключаюче АБО”	12	2	1	4÷5	48÷60	3	18	128	1536	3	36	0,023
“І”	10	2	1	1	10	1	4	11,2	112	3	30	0,27
Сумарна оцінка		8	5		58÷70		18		1648		13	0,007

Недоліками відомого комбінаційного суматора є велика структурна та апаратна складність, обмежені функціональні можливості та низька швидкодія. Практично кожен два логічні елементи “Виключаюче АБО” та “І” пірамідальної структури такого суматора реалізують структуру та функції однорозрядного неповного двійкового суматора з прямими входами та прямими виходами сум, що формують сигнали прямих горизонтальних інформаційних зв’язків і переносу та відповідні прямі вертикальні інформаційні зв’язки пірамідальної структури комбінаційного суматора. Крім того, ланцюжок послідовно з’єднаних входами та виходами логічних елементів “Виключаюче АБО” у старшому розряді пірамідальної структури такого суматора фактично виконує функції логічного елемента “АБО” для формування відповідного біта на виході старшого розряду вихідної шини пристрою, що ускладнює структуру такого суматора та знижує швидкодію у разі збільшення розрядності комбінаційного суматора.

На рис. 16 зображено структурну схему запропонованого комбінаційного суматора [30], де: 1 – вхідна $2n$ -розрядна шина ($a_0b_0, a_1b_1, a_2b_2, \dots, a_{n-1}b_{n-1}$); 1.1 – логічні елементи “НЕ”; 2 – пірамідальна структура з однорозрядними входами, яка містить: такі типи однорозрядних неповних суматорів: 2.1 – з однорозрядними входами і однорозрядними виходами суми та переносу (рис. 5, б); 2.2 – з однорозрядним виходом переносу і прямим виходом суми (рис. 3, а); 2.3 – з однорозрядним виходом суми та інверсним виходом переносу (рис. 3, б); 2.4 – з інверсним виходом переносу і прямим виходом суми (рис. 3, в); 2.5 – інвертор; 3 – вихідна шина комбінаційного суматора ($S_0, S_1, S_2, \dots, S_{n-1}, S_n$).

Оцінювання системних характеристик такого комбінаційного суматора (рис. 16) здійснюють на основі характеристик його компонентів (табл. 5).

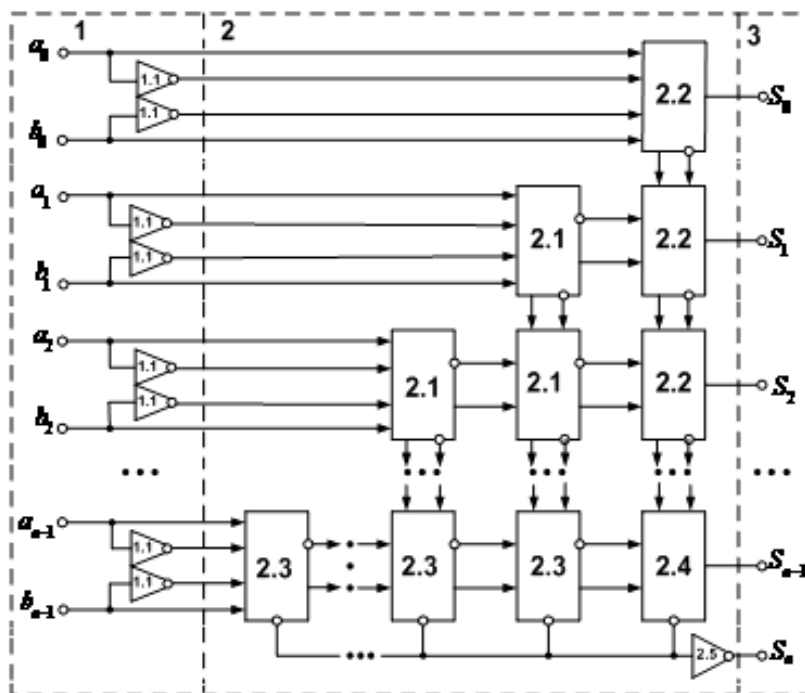


Рис. 16. Структурна схема багаторозрядного комбінаційного суматора

Отже, у результаті запропоновано удосконалення комбінаційного суматора, порівняно з відомим, досягнуто покращення його апаратної, часової та структурної складності, що показано на порівняльних діаграмах (рис. 17–19).

Оцінки системних характеристик компонентів комбінаційного суматора за розрядності $k = 4$

Компоненти структури	К-сть ком-тів	Вхід	Ви-хід	A, v		τ, v		k_c		F		k_e
				1 ел.	Σ	1 ел.	Σ	1 ел.	Σ	1 ел.	Σ	
Інвертор	9	1	1	1	9	1	1	14	126	2	18	0,14
Суматор 2.1	3	4	4	6	18	1	1	261	783	8	24	0,03
Суматор 2.2	3	4	3	4	12	1	1	194,4	583,2	7	21	0,9
Суматор 2.3	3	4	3	5	15	1	1	228	684	7	21	0,03
Суматор 2.4	1	4	2	3	3	1	1	150,8	150,8	6	6	0,8
Сумарна оцінка	19	8	5		57		6		2327		15	0,006

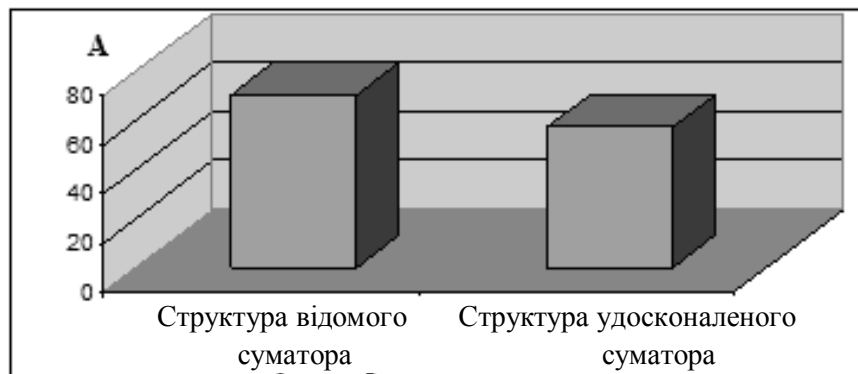


Рис. 17. Оцінка апаратної складності багаторозрядних комбінаційних суматорів пірамідального типу з парафазними інформаційними зв'язками

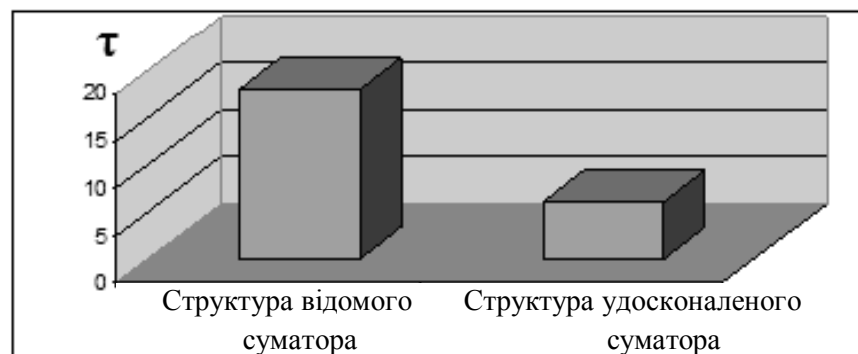


Рис. 18. Оцінка часової складності багаторозрядних комбінаційних суматорів пірамідального типу з парафазними інформаційними зв'язками

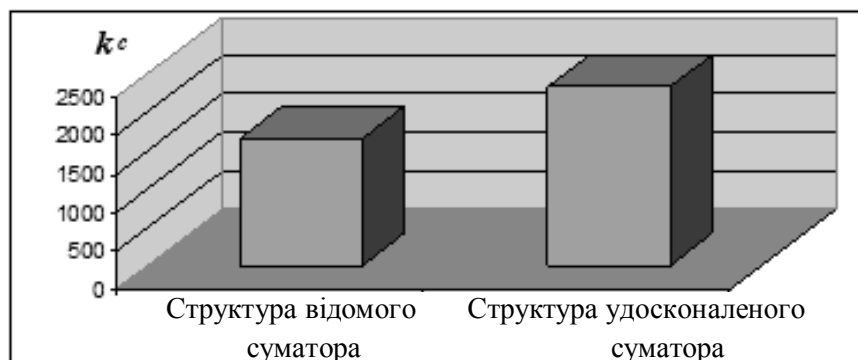


Рис. 19. Оцінка структурної складності багаторозрядних комбінаційних суматорів пірамідального типу з парафазними інформаційними зв'язками

З діаграм бачимо, що за однакової розрядності входів та виходів відомого та запропонованого суматора апаратна складність зменшилася у $70/57=1,23$ раза, часова складність зменшилася у $18/6=3$ рази у разі зростання структурної складності у $2327/1648=1,4$ раза.

Багаторозрядний комбінаційний суматор пірамідального типу з однофазними інформаційними зв'язками

На рис. 20 зображено структурну схему запропонованого удосконаленого комбінаційного суматора, застосувавши однорозрядний неповний суматор на основі логічного елемента “Виключаюче І” [37], де 1 – вхідна $2n$ -розрядна шина ($a_0b_0, a_1b_1, a_2b_2, \dots, a_{n-1}b_{n-1}$); 2 – пірамідальна структура, яка містить: такі типи однорозрядних неповних суматорів: 2.1 – з прямими виходами переносу (рис. 10, б); 2.2 – з інверсним виходом переносу (рис. 10, а); 2.3 – інвертор; 3 – вихідна шина комбінаційного суматора ($S_0, S_1, S_2, \dots, S_{n-1}, S_n$).

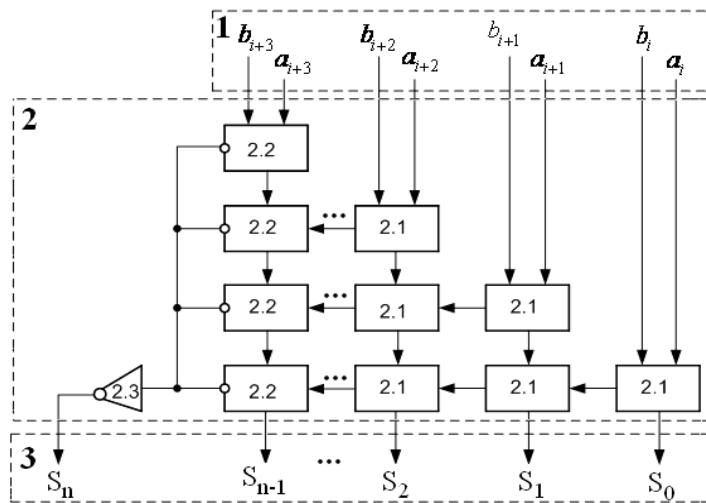


Рис. 20. Структурна схема комбінаційного суматора

Оцінку системних характеристик удосконаленої структури багаторозрядного комбінаційного суматора (рис. 20) здійснено на основі розрахунку системних характеристик його компонентів (табл. 6).

Таблиця 6

Оцінки системних характеристик компонентів комбінаційного суматора за розрядності $k = 4$

Компоненти структури	К-сть компонентів	Вхід	Вихід	A, v		τ, v		k_c		F		k_e
				1 ел.	Σ	1 ел.	Σ	1 ел.	Σ	1 ел.	Σ	
Суматор 2.1	6	2	2	3	18	2	1	115,2	691,2	4	24	0,03
Суматор 2.2	4	2	2	3	12	2	1	120,4	481,6	4	16	0,03
Інвертор 2.3	1	1	1	1	1	1	1	14	14	2	2	0,14
Сумарна оцінка	11	8	5		31		5	249,6	1228,8		13	0,01

Отже, у результаті запропоновано удосконалення комбінаційного суматора, порівняно з відомою структурою (рис. 16), досягнуто зменшення апаратної складності запропонованого комбінаційного суматора у $70/31=2,26$ раза, зменшення структурної складності у $1648/1228,8=1,34$ раза та підвищення швидкодії у $18/5=3,6$ раза.

Графіки зміни оцінок апаратної та структурної складностей запропонованих комбінаційних суматорів залежно від розрядності вихідних кодів порівняно з відомим суматором на логічних елементах “Виключаюче АБО” показано на рис. 21, 22.

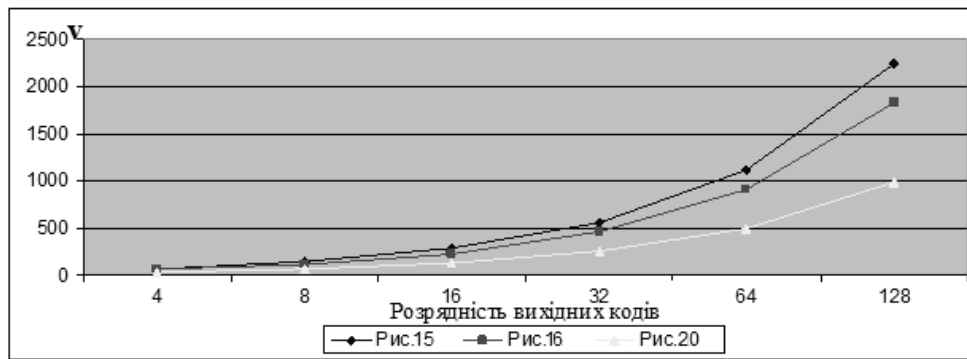


Рис. 21. Порівняльні характеристики зміни апаратної складності комбінаційних суматорів залежно від розрядності вихідних кодів

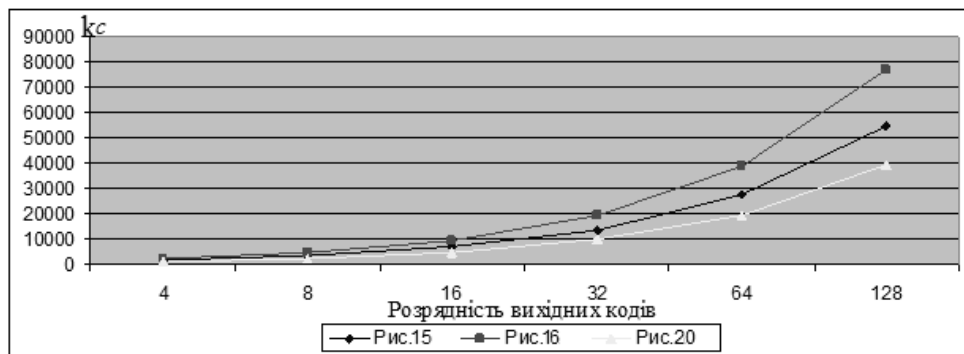


Рис. 22. Порівняльні характеристики оцінок структурної складності комбінаційних суматорів залежно від розрядності вихідних кодів

Отже, у разі застосування цього класу багаторозрядних двійкових суматорів як основних компонентів багаторозрядних суматорів із прискореними переносами [29] та структурних компонентів високопродуктивних спецпроцесорів опрацювання великорозрядних чисел у задачах розпізнавання образів та шифрування потоків інформаційних даних практично досягається зменшення апаратної складності на 56 %, структурної – на 25,5 %, підвищена швидкодія на 72,3 %.

Висновки

Запропоновано методи удосконалення структур швидкодіючих однорозрядних неповних, повних та багаторозрядних двійкових суматорів. В основу схемотехнічних рішень такого класу суматорів покладено реалізацію логічної функції “Виключаюче АБО” на основі логічного елемента “Виключаюче І”. Розраховано системні характеристики досліджуваного класу суматорів, які характеризуються гранично мінімальними характеристиками структурної, апаратної та часової складності. Застосування оптимізованих схемотехнічних рішень двійкових суматорів дає змогу значно поліпшити системні характеристик складних обчислювальних пристроїв із великою кількістю таких компонентів у кристалах мікроелектронної та наноелектронної технологій.

Список літератури

1. Yakubovskiy S. V. Tsyfrovyie i analohovyie intehralnyie mikroskhemy: Spravochnik / S. V. Yakubovskiy, L. Y. Nysselson, V. Y. Kuleshova i dr.; Pod red S. V. Yakubovskoho. M.: Radio i sviaz, 1990. 496 str.
2. Uhriumov E. P. Tsyfrovaia skhemotekhnika / E. P. Uhriumov. SPb.: BKhV-Sankt-Pererburh. 2000. 528 str.
3. Maiorov S. A. Pryntsyry orhanizatsii tsyfrovyykh mashyn / S. A. Maiorov, H. Y. Novykov. L.: Mashynostroenyie, 1974. 306 c.
4. Shylo V. L. Populiarnie tsyfrovyye mykroskhemy: Spravochnyk / V. L. Shylo. M.: Radio i sviaz, 1988. 352 str.
5. Kartsev M. A. Arifmetika tsyfrovyykh mashyn / M. A. Kartsev. Hlavnaia redaktsiya fizyko-matematicheskoi literatury izdatelstva “Nauka”. 1969. 576 str.
6. Hlushkov V. M. Syntez tsyfrovyykh avtomatov / V. M. Hlushkov. M.: Fizmathiz, 1962. 476 s.

7. Akushskiy I. Ia. *Mashynnaia arifmetika v ostatochnykh klassakh* / I. Ia. Akushskiy, D. I. Yuditskii. M.: Sov. radio, 1968. 440 s.
8. Brammer Yu. A. *Tsyfrove ustroistva: Ucheb. Posobie dlia vuzov* / Yu. A. Brammer, I. N. Pashchuk. M.: Vysshaia shkola. 2004. 229 s.
9. Orlov S. A. *Ohranizatsiia ЭВМ i sistem* / S. A. Orlov, B. Ia. Tsylyker. SPb.: Piter. 2011. 688 str.
10. Harris D. M. *Digital Design and Computer. Architecture* / David Money Harris, Sarah L. Harris. Morgan Kaufman. English Edition. 2013. 690 r.
11. Kumar A. *Anand Fundamentals of Digital Circuits* / A. Anand Kumar / Prentice-Hall of India Pvt. Ltd, 2007. p. 664.
12. Melnyk A. O. *Arkhitektura kompiutera* / A. O. Melnyk / Naukove vydannia. Lutsk: Volynska oblasna drukarnia, 2008. 470 s.
13. *Spetsializovani kompiuterni tekhnologii v informatytsi / za zahalnoi redaktsiieiu Ya.M. Nykolaichuka. Ternopil: Vyd-vo Beskydy, 2017. 919 s.*
14. Melnyk A. O. *Realizatsiia prohramnykh spetsializovanykh protsesoriv u rekonfigurovnykh pryskoriuvachakh universalnykh kompiuteriv* / A. O. Melnyk, A. M. Salo, V. A. Klymenko, L. O. Tsyhylyk, A. V. Yurchuk // *Visn. Nats. un-tu "Lviv. politekhnik". 2009. No. 658. S. 69–77.*
15. Melnyk A. *Parallel Conflict-Free Ordered Access Memory Based Programmable Hardware Accelerator Structure* / A. Melnyk, V. Melnyk // *9th International Conference on Advanced Computer Information Technologies, ACIT 2019 – Proceedings 8779928, pp. 179–82.*
16. Melnyk A. *Ordered access memory based programmable hardware accelerator parallel architecture* / A. Melnyk, V. Melnyk // *5th International Conference on the Experience of Designing and Application of CAD Systems, CADSM 2019 – Proceedings 8779249.*
17. Nykolaichuk Ya. M. *Teoriia dzhерel informatsii. Monohrafiia: Ternopil: TNEU, 2008. 536 s.*
18. Nykolaichuk Ya. M. *Kody polia Halua: teoriia ta zostosuvannia – Ternopil: Ternohraf, 2012, 576 s.*
19. Shatylo V. V., Prokhorov S. N., Yavvys L. S. *Matrichnyi umnozhytel // AS № 1615704 SU, Biulleten No. 47. 1990.*
20. Hrybok N. Y., Obukhanych R.-A. V. *Kvadrator // A.S. SSSR No. 475619. Biulleten No. 24. 1975.*
21. Nykolaichuk Ya. M. *Chisloimpulsnoe mnozhytelnoe ustroistvo // A.S. SSSR No. 754414. Biulleten No. 29. 1980.*
22. Drozd A. B. *Rabochee diahnostirovanie bezopasnykh informatsyonno-upravliaiushchykh sistem / A. B. Drozd, B. C. Kharchenko, S. H. Antoshchuk y dr. / Pod red. A. B. Drozda, B. C. Kharchenko. Kh. Nats aerokosmicheskyy un-t im. N. E. Zhukovskoho "KhAI". 2012. 614 s.*
23. Hrinberh I. P., *Kombinatsyonnyi summator // Patent RU No. 2514785, Biul. No. 13, 2014.*
24. Krulikovskiy B. B. *Teoriia ta systemni kharakterystyky elementarnykh komponentiv ta sumatoriv problemno-oriientovanykh spetsprotsesoriv / B. B. Krulikovskiy, A. Ia. Davletova // Mizhnarodnyi naukovotekhnichni zhurnal "Optyko-elektronni informatsiino-enerhetychni tekhnologii". 2015. No. (29). C. 84–95.*
25. Davletova A. Ia., Nykolaichuk Ya. M. *Odnorozriadnyi napivsumator. Patent na korysnu model No. 115861. MPK G06F 7/00 (2017.01). Opubl. 25.04.2017, Biul. No. 8.*
26. Krulikovskiy B. B., Davletova A. Ia., Vozna N. Ia., Nykolaichuk Ya.M. *Odnorozriadnyi sumator. Patent na korysnu model No. 109136. MPK G06F 7/00. Opubl.10.08.2016, Biul. No. 15.*
27. Davletova A. Ia., Krulikovskiy B. B., Vozna N. Ia., Nykolaichuk Ya.M. *Odnorozriadnyi sumator. Patent na korysnu model No. 109142. MPK G06F 7/00. Opubl.10.08.2016, Biul. No. 15.*
28. Pat. 115861 Ukraina MPK G06F 7/00 (2017.01) *Odnorozriadnyi napivsumator / A. Ia. Davletova, Ya. M., Nykolaichuk / No. u2016 12463; zaiavl.07.12.2016; opubl. 25.04.2017, Biul. No. 8.*
29. Pat. 17572 Ukraina MPK G06F 7/38 (2006.01) *Sumator z pryskorenym perenosom / Krulikovskiy B. B., Vozna N. Ia., Hryha V. M., Nykolaichuk Ya. M., A. Ia. Davletova / No. u 2017 01336; zaiavl. 13.02.2017; opubl. 26.06.2017, Biul. No. 12.*
30. Pat. 116601 Ukraina MPK G06F 7/501 (2006.01) *Kombinatsiinyi sumator / B. B. Krulikovskiy, N. Ia. Vozna, Hryha V. M., Nykolaichuk Ya. M. No. a 2017 00814 zaiavl.30.01.2017; opubl.10.04.2018, Biul. No. 7/2018.*
31. Pat. 124563 Ukraina MPK (2018.01) G06F 7/00 *Povnyi odnorozriadnyi sumator / Ya.M. Nykolaichuk, V. M. Hryha, N. Ia. Vozna, A. Ia. Davletova / No. u 2017 11720; zaiavl. 30.11.2017; opubl. 10.04.2018, Biul. No. 7.*
32. Pat. 132520 Ukraina MPK (2006.01) G06F 7/52 *Matrychnyi peremnozhuвач / V. M. Hryha, A. Ia. Davletova, Ya. M. Nykolaichuk. No. u 2018 10301; zaiavl. 17.10.2018; opubl. 25.02.2019, Biul. No. 4.*
33. Krulikovskiy B. *Synthesis of components of high performance special processors of execution of arithmetic and logical operations data processing in theoretical and numerical basis rademacher / B. Krulikovskiy,*

A. Davletova, V. Gryga, Y. Nykolaichuk // 2017 14th International Conference The Experience of Designing and Application of CAD Systems in Microelectronics, CADSM 2017 – Proceedings 7916118, pp. 214–217.

34. Krulikovskiy B. The method to optimize structural, hardware and time complexities characteristics multi-bit adders of special processors for data encryption / B. Krulikovskiy, N. Vozna, V. Kimak, A. Davletova // *Modern Problems of Radio Engineering, Telecommunications and Computer Science, Proceedings of the 13th International Conference on TCSET 2016* 7452087, pp. 455–459.

35. Vozna N. Ia. *Osnovy teorii strukturyzatsii polifunktionalnykh elementiv skladnykh system* // N. Ia. Vozna-Visnyk Khmelnytskoho natsionalnoho universytetu. - Khmelnytskyi, 2015. No. 2 (223). S. 204–208.

36. Vozna N. Ia. *Strukturyzatsiia polifunktionalnykh danykh: teoriia, metody ta zasoby: Monohrafiia* / N. Ia. Vozna. Ternopil: TNEU, 2018. 378 s.

37. 20. Pat. 115751 Ukraina MPK G06F 7/501 (2006.01) *Kombinatsiinyi sumator* / N. Ia. Vozna, B. B. Krulikovskiy, V. M. Hryha, A. Ia. Davletova, Ya. M. Nykolaichuk No. a 2017 01347 zaiavl. 13.02.2017; opubl. 11.12.2017, Biul. No. 23/201.

THE METHOD TO IMPROVEMENT OF STRUCTURES OF QUICK-ACTIONS ONE-DIGIT AND MULTIPLE-BIT BINARY ADDERS

Ya. Nykolaichuk, N. Vozna, A. Davletova

Ternopil National Economic University,
Department of Specialized Computer Systems

© Nykolaichuk Ya., Vozna N., Davletova A., 2019

This paper is suggested the methods of improving the structures of high-speed single-bit and multi-bit binary adders with extremely high speed and minimal hardware complexity are proposed. It is proposed to simplify the structure of the logical element “Exclusive OR” by implementing on the basis of the logical element “Exclusive AND”. Improved structures of single-digit incomplete adders based on the logic element “Exclusive AND” are proposed. The comparative estimations of structural, functional and relative functional and structural complexity of their schematical implementations are given. The structures of full single-digit adders with advanced functionality are proposed. The structural and functional characteristics of circuit design solutions of such single-digit adders are given. The optimization of the structure of multi-bit combinational adders is proposed. Pyramidal multipath combinational combiners with single-phase and single-phase information links are investigated. The comparative characteristics of the estimates of the structural complexity of combinational adders depending on the bit rate of the source codes are presented.

Key words: binary adders, structural complexity, speed performance.