

УДК 621. 373. 54.

АНАЛІЗ ПОХИБОК ДВОРІВНЕВОГО СИНТЕЗАТОРА ЧАСТОТИ

© Стахів Р., Максимович В., 2003

Розглянуто та проаналізовано можливість використання як базового елемента дворівневого синтезатора частоти цифрового накопичувача з мультимплексуванням керівних кодів. Визначено його основні характеристики.

The opportunity of the digital accumulator with multiplexing of control codes as a base element of a two-level synthesizer of frequency using is considered and analyzed. Its basic characteristics are determined.

1. Постановка проблеми

Найважливіші характеристики радіосистем апаратури засобів зв'язку – такі як швидкодія, роздільна здатність, габарити, маса і надійність – залежать від відповідних характеристик та параметрів синтезаторів частоти. Синтезатори можуть бути побудовані на основі різних принципів, однак сьогодні перевагу надають цифровим пристроям, які забезпечують кращі параметри, стійкість до впливу зовнішніх факторів, надійність роботи і високу технологічність.

У дворівневих цифрових синтезаторах гарантована висока точність частоти вихідних сигналів, можливість програмної зміни цієї частоти, низькі шуми отриманих коливань, широкий діапазон синтезованих сигналів. Виконання синтезаторів на дискретних елементах дає можливість чіткого визначення та контролю у довільний момент часу за значенням частоти, амплітуди та фази вихідного сигналу.

2. Аналіз останніх наукових досліджень

Найбільш поширеними методами синтезу частоти є:

- прямий аналоговий синтез (*Direct Analog Synthesis, DAS*) [1], що ґрунтується на основі кола змішувач–фільтр–подільник, при якому вихідна частота отримується безпосередньо з тактової частоти шляхом виконання операцій змішування, фільтрації, множення та ділення;
- непрямий синтез на основі фазової автоматичної підстройки частоти (*Phase Locked Loop, PLL*) [2], при якому вихідна частота формується з допомогою додаткового генератора, охопленого петлею ФАПЧ;
- прямий цифровий синтез (*Direct Digital Synthesis, DDS*) [1,3,4], при якому вихідний сигнал синтезується цифровими методами;
- гібридний синтез, який є комбінацією декількох методів, описаних вище.

Кожен з цих методів синтезу частоти має свої переваги та недоліки, відповідно, для кожного конкретного випадку необхідно робити вибір, оснований на найбільш

5533 іст.

$$\frac{1}{N_m - 1} \leq K \leq N_m - 1. \quad (3)$$

Реалізація значень коефіцієнта K , більших за одиницю, досягається за рахунок того, що в колі додатного зворотного зв'язку може бути серія імпульсів, які розміщуються між імпульсами, які надходять на вхід пристрою.

У роботі [6] показано, що процеси, які відбуваються у цифровому накопичувачі на двох комбінаційних суматорах, описуються рівнянням (1), але коефіцієнт перетворення знаходиться у межах

$$\frac{1}{N_m - 1} \leq k \leq 1. \quad (4)$$

Значення коефіцієнта (4) зменшує діапазон вихідних частот синтезатора, побудованого на цьому накопичувачі [6] порівняно із синтезатором на накопичувачі з мультиплексуванням керівних кодів.

Принципова схема 4-розрядного дворівневого синтезатора частоти на накопичувачі з мультиплексуванням керівних кодів побудована за допомогою пакета прикладного програмного забезпечення *Xilinx Foundation Series F 1.5* і

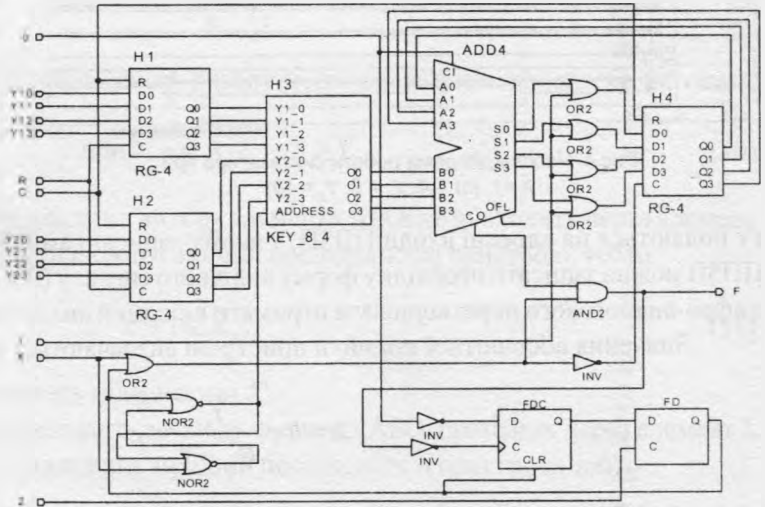


Рис.2. Принципова схема дворівневого синтезатора частоти на накопичувачі з мультиплексуванням керівних кодів

наведена на рис.2.

Результат моделювання роботи синтезатора при коефіцієнті перерахунку $k > 1$ ($m = 4$, $Y_1 = 7$, $Y_2 = 15$) подано на рис.3. Результат моделювання роботи синтезатора при коефіцієнті перерахунку $k < 1$ ($m = 4$, $Y_1 = 2$, $Y_2 = 10$) подано на рис.4.

Основні переваги цього пристрою при використанні його як дворівневого синтезатора

Таблиця 1
Номінальні значення вихідних частот синтезатора при $m = 4$

Y_1	Вихідна частота, кГц, $Y_2=0$	Y_1	Вихідна частота, кГц, $Y_2=10$
0	0.000000	0	0.000000
1	625.000000	1	1666.666667
2	1250.000000	2	3333.333333
3	1875.000000	3	5000.000000
4	2500.000000	4	6666.666667
5	3125.000000	5	8333.333333
...
14	8750.000000	14	23333.333333
15	9375.000000	15	25000.000000

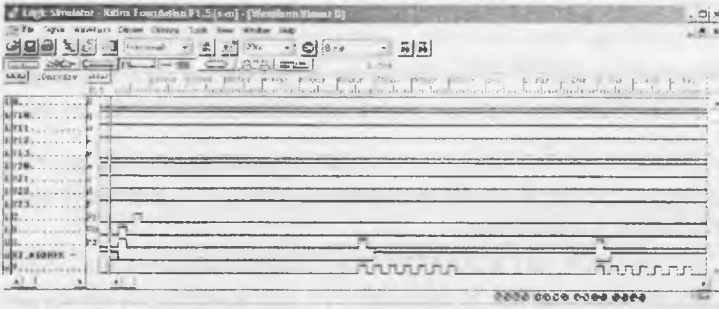


Рис.3. Часова діаграма роботи синтезатора при $k > 1$ ($m = 4, Y_1 = 7, Y_2 = 15$)

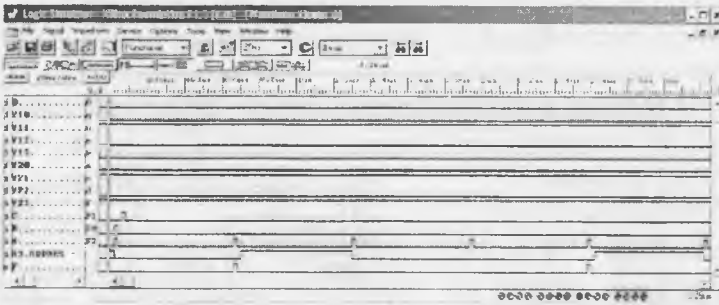


Рис.4. Часова діаграма роботи синтезатора при $k < 1$ ($m = 4, Y_1 = 2, Y_2 = 10$)

полягають у тому, що стає можливою зміна кроку сітки вихідних частот, а також те, що вихідна частота може перевищувати частоту вхідної послідовності імпульсів. Це може бути проілюстровано результатами, наведеними в табл.1, при частоті вхідних імпульсів 10 МГц.

Схема дворівневого синтезатора частоти на накопичувачі з мультиплексуванням керівних кодів може бути використана також і для побудови багаторівневих синтезаторів. Для цього старші розряди з виходу

Рг подаються на адресні входи ППЗП, у якому записані амплітудні відліки сигналу. У ППЗП можна записати необхідну форму вихідного сигналу (sin, cos, тощо) і з допомогою цифро-аналогового перетворювача отримати вихідний аналоговий сигнал.

Значення абсолютної похибки пристрою визначаються виразом

$$\Delta = h - \frac{Y_1}{N_m - Y_2} n, \quad (5)$$

де n – число імпульсів, які надійшли на вхід пристрою; h – число імпульсів на виході елемента І або, що те саме, на виході пристрою.

Позначимо через x число імпульсів на виході елемента додавання. Множину значень x позначимо X та розіб'ємо її на чотири множини X'_n, X'_h, X''_n та X''_h , що не перетинаються. Причому у підмножину X'_n введемо ті значення x'_n з множини X , які відповідають імпульсам, що пройшли з входу пристрою через елемент АБО, але які не пройшли через елемент І; у підмножину X'_h – ті значення x'_h , які відповідають імпульсам, що пройшли з виходу елемента затримки через елемент АБО, але не пройшли через елемент І; у підмножину X''_n – ті значення x''_n , що відповідають імпульсам, що пройшли з виходу елемента затримки через елемент АБО і елемент І.

Отже,

$$X = X'_n \cup X'_h \cup X''_n \cup X''_h, \quad (6)$$

або

$$X = X_n \cup X_h = X' \cup X'',$$

де

$$X_n = X_n^- \cup X_n^+; \quad X_h = X_h^- \cup X_h^+; \quad X' = X_n^- \cup X_h^+; \quad X'' = X_n^+ \cup X_h^-. \quad (7)$$

Підмножина X' містить всі значення x , при яких імпульси з виходу елемента додавання частот не проходять через елемент І, тобто відповідає усталеному режиму.

Для X' справедливе рівняння

$$R + nY_1 + hY_2 = N_m h + S, \quad (8)$$

де R – початковий стан регістра Pг1; S – число, яке міститься в регістрі.

При $R = N_m - 1$, з виразів (5) і (8) отримаємо

$$\Delta = \frac{N_m - 1 - S}{N_m - Y_2}. \quad (9)$$

З принципу, покладеного в основу розбиття множини X на підмножини, випливає

$$\text{при } x \in X_h^+; \quad S \geq Y_2. \quad (10)$$

Якщо імпульс, що надійшов з виходу елемента АБО, не проходить через елемент І, то наступний імпульс буде належати вхідній послідовності пристрою, тобто

$$x' + 1 \in X_n, \quad (11)$$

де x' – значення x , які належать підмножині X' .

Якщо імпульс, який надходить з виходу елемента АБО, проходить через елемент І, то наступний імпульс буде належати вихідній послідовності пристрою, тобто

$$x'' + 1 \in X_h, \quad (12)$$

де x'' – значення x , які належать підмножині X'' .

З виразів (11) та (12) випливає, що значенням x_n' завжди передують значення x_h' або x_n'' . При переході від значень x_h' до x_n' або від x_n'' до x_h'' відбувається збільшення числа в Pг.

Відповідно, з врахуванням виразу (10), маємо

$$\text{при } x \in X_h; \quad S > Y_2. \quad (13)$$

З виразів (10) та (13) випливає, що $S > Y_2$ для всіх $x \in X_h$.

На основі рівняння (9) отримаємо

$$\Delta \leq \frac{N_m - 1 - Y_2}{N_m - Y_2} < 1. \quad (14)$$

Максимальне значення числа в Рг дорівнює $N_m - 1$.

Відповідно

$$\Delta \geq \frac{N_m - 1 - (N_m - 1)}{N_m - Y_2} = 0. \quad (15)$$

Отже,

$$0 < \Delta < 1, \quad (16)$$

для яких завгодно великих значень m .

Моделювання цієї схеми для $m = 1 \div 15$, $R_m = N_m - 1$, всіх можливих Y_1, Y_2 (від 1 до $N_m - 1$), дало такі значення максимальних та мінімальних похибок, які наведені у табл. 2.

Висновки

Таблиця 2

Похибки цифрового накопичувача при різних значеннях m

M	Ppermax	ppermin
1	0.500000	0.000000
2	0.750000	0.000000
3	0.875000	0.000000
4	0.937500	0.000000
5	0.968750	0.000000
6	0.984375	0.000000
7	0.992188	0.000000
8	0.996094	0.000000
9	0.998047	0.000000
10	0.999023	0.000000
11	0.999512	0.000000
12	0.999756	0.000000
13	0.999877	0.000000
14	0.999938	0.000000
15	0.999969	0.000000

У синтезаторах, побудованих за методом прямого цифрового синтезу, накопичувач фази працює лише за одним керівним кодом, а в наведеному накопичувачі – за двома кодовими словами. Отже, змінюється крок зміни частоти вихідного сигналу, що призводить до більш широких функціональних можливостей синтезатора частоти.

Результати аналітичного дослідження та моделювання підтверджують високу точність перетворення дворівневого синтезатора частоти при довільних початкових умовах.

Запропонована схема накопичувача з мультиплексуванням керівних кодів може бути також використана і для побудови багаторівневих синтезаторів частоти.

1. W.Kester High speed DACs and DDS systems. INTERNET http://www.analog.com/support/stanolad_linear/seminar_material/highspeed/6.pdf
2. R.E. Best, Phase-Locked Loops, McGraw-Hill, New-York. 1984.
3. V.C.Reinhardt. Spur Reduction Techniques in Direct Digital Synthesizers. // Proc.1993 IEEE International frequency controll symp., p.230, 1993.
4. J.Vanka, M.Waltari, M.Kosunen, and Kari A.I.Halonen. A Direct Digital Synthesizer with an On-Chip D/A-Converter. // IOEE J. of Solid-State Circuits, Vol.33. №2, February 1998.
5. Дудыкевич В.Б., Максимович В.М. Делитель частоты с переменным коэффициентом деления. А.С. СССР № 1298908, Бюл. № 11, 1987.
6. Максимович В.Н., Дудыкевич В.Б. Цифровой накопитель, А.С. СССР № 1343411. Бюл. № 37, 1987.