

1. Тимченко О.В. Різницеві методи цифрової фільтрації. Львів, 1999.
2. Кухарев Г.А. и др. Системные процессоры для обработки сигналов / Г.А. Кухарев, А.Ю. Тропченко, В.П. Шмерко. - Минск, 1988.
3. Бендат Дж., Пирсол А. Прикладной анализ случайных данных. М., 1989.
4. Яцимирський М.М. Швидкі алгоритми ортогональних тригонометричних перетворень. Львів, 1997.
5. Стрепко І.Т., Тимченко О.В., Дурняк Б.В. Проектування систем керування на однокристальних мікроЕОМ. К., 1998.

УДК 621.385

## КОМУТАЦІЙНИЙ ПРИСТРІЙ ІЗ ЗАДАНОЮ ЧЕРГОВІСТЮ КОМУТАЦІЇ КАНАЛІВ

© Ярослав Парамуд

НУ "Львівська політехніка", м. Львів, вул. С. Бандери, 12

*Запропоновано структурну схему та описано принципи функціонування комутаційного пристрою, який автономно забезпечує комутацію каналів із заданою черговістю.*

*Block scheme and functioning features of commutation apparatus independently provided channels commutation with given order is described.*

Комутаційні пристрої широко застосовуються в комп'ютерних системах та засобах автоматизації. Їх особливості, характеристики, схемотехнічні рішення орієнтовані на конкретні функціональні задачі. Залежно від функціональних задач складність комутаційних пристроїв лежить в широкому діапазоні - від простих з невеликою швидкістю в засобах телеуправління до складних з пропускну здатністю на рівні декількох Гбайт/с у масових паралельних комп'ютерних системах [1].

Даний комутаційний пристрій призначений для автономної комутації  $N$  каналів із заданою черговістю. Він може використовуватися в системах малої та середньої швидкодії. Структурна схема пристрою розроблена на основі технічних рішень [2] та наведена на рис. 1.

Черговість комутації каналів  $1, \dots, N$ , яка відповідає послідовості формування сигналів Вихід 1, ..., Вихід  $N$ , задається блоком кодування черговості комутації (БКЧК). Цей блок доцільно реалізовувати як матрицю перемикачів логічних "0" та "1" розмірністю

$K \times N$ . Кількість елементів коду комутації  $K$  в рядку визначає номер каналу, що комутується. Коди в стовпцях визначають послідовність комутації вихідних сигналів. Кількість розрядів коду  $K$  в рядках, кількість рядків  $N$  та кількість вихідних каналів  $N$  пристрою доцільно забезпечити співвідношенням:  $N = 2K - 1$ . Нульовий код не використовується для кодування вихідних каналів пристрою. Встановлення кодів за допомогою БКЧК забезпечує можливість комутації вихідних каналів з довільною черговістю. До складу БКЧК входить  $(N + 1)$ -й рядок, в якому записується контрольна сума кодів матриці. Виходи елементів матриці пов'язані з входами блока регістрів зсуву (БРЗ), а виходи контрольного  $(N + 1)$ -го рядка - із схемою порівняння.

У БРЗ входить  $K$  однотипних регістрів зсуву, кожен з яких має  $N$  послідовно та циклічно з'єднаних розрядів. Варіант функціональної схеми регістра зсуву наведений на рис. 2. Кожному із розрядів відповідають елементи регістра зсуву  $EP3. 1, \dots, EP3. N$  із тригера (ТГ) та схеми співпадання з інверсією ( $I4$ ).

Комутаційний пристрій встановлюється в початковий стан та утримується в ньому сигналом  $Res$ . При цьому обнулюються лічильник, всі регістри зсуву, тригер. Оскільки регістри зсуву обнулені, на їх виходах та на входах дешифратора 2 є логічні "0". Наслідком цього на нульовому виході дешифратора 2 буде логічна "1", яка через елемент затримки надходить на перший вхід схеми співпадання 1 та готує передумову для її відкриття.

Функцію кодування каналів пристрій виконує після вимкнення сигналу  $Res$ . Лічильник починає підрахунок сигналів від генератора імпульсів. Вихідний код лічильника надходить на входи дешифратора 1. Імпульс з першого виходу дешифратора 1 використовується тільки в першому такті для початкового запису кодів номерів каналів від блока кодування черговості комутації до регістрів зсуву. Цей імпульс через схему співпадання 1 надходить на входи 2 (рис. 2) регістрів зсуву, а далі на перші входи схем співпадання з інверсією  $I4 - 1, \dots, I4 - N$ . На другі входи елементів  $I4 - 1, \dots, I4 - N$

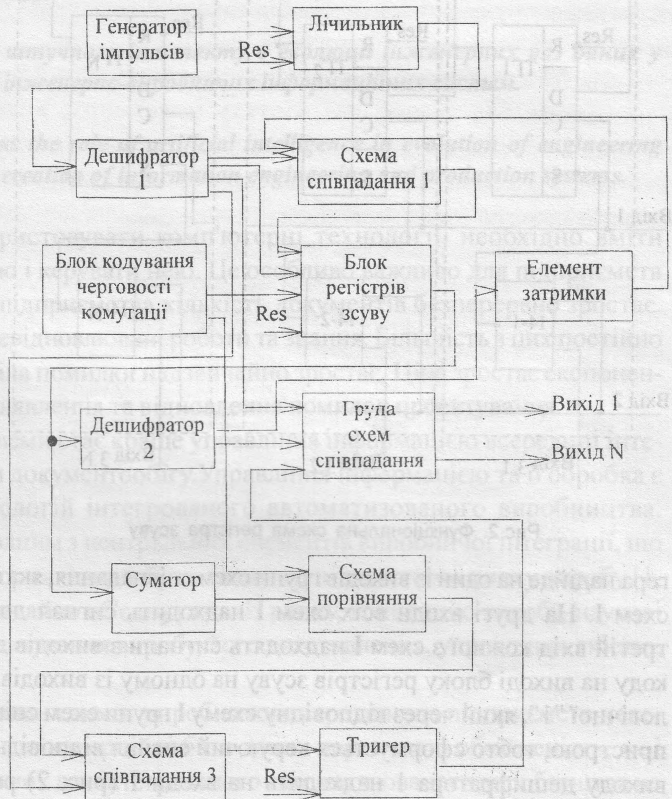


Рис.1. Структурна схема комутаційного пристрою

регистрів зсуву через входи 3. 1, ..., 3.  $N$  надходять коди номерів каналів від БКЧК. Коди через схеми співпадання та  $S$ - входи записуються в тригери ТГ1, ..., ТГ $N$  регистрів зсуву. Отже, в одноіменних розрядах регистрів зсуву знаходяться коди номерів каналів, а їх розміщення в різних розрядах відповідає заданій черговості комутації каналів. В останніх комірках ЕРЗ.  $N - 1$ , ..., ЕРЗ.  $N - K$  знаходиться код каналу, який буде

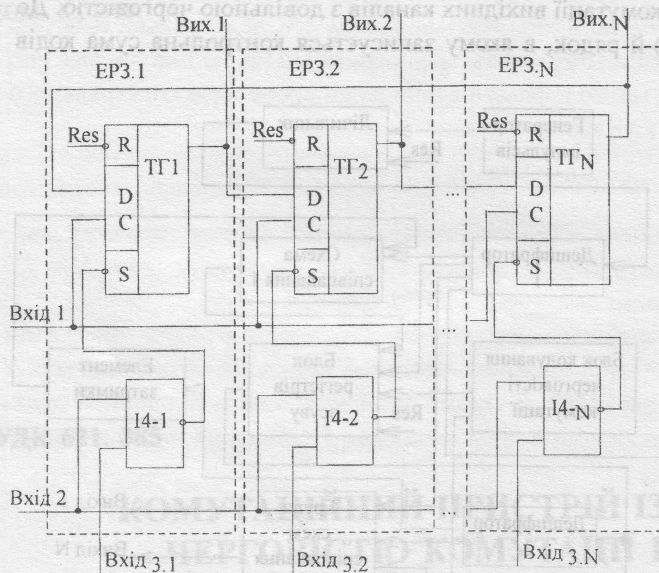


Рис.2. Функціональна схема регістра зсуву

комутуватися першим, а в комірках ЕРЗ. 1 - 1, ..., ЕРЗ. 1 -  $K$  - код каналу, який буде комутуватися останнім.

Після запису кодів в регістри зсуву на нульовому виході дешифратора 2 сформується сигнал логічного "0", який через елемент затримки закрити схему співпадання 1. Якщо коди записані правильно, тоді на виході суматора буде результат, що дорівнює контрольній сумі БКЧК. Схема порівняння виробить сигнал, який через схему співпадання 3 встановить тригер в одиничний стан. Логічна "1" з виходу тригера надійде на один із виходів групи схем співпадання, яка складається із  $N$  тривходових схем І. На другі входи всіх схем І надходить сигнал дозволу з дешифратора 1. На третій вхід кожної з схем І надходять сигнали з виходів дешифратора 2. Залежно від коду на виході блоку регистрів зсуву на одному із виходів дешифратора 2 буде сигнал логічної "1", який через відповідну схему І групи схем співпадання надходить на вихід пристрою, тобто сформується керуючий сигнал відповідного каналу. Потім імпульс з виходу дешифратора 1 надходить на входи 1 (рис. 2) регистрів зсуву та забезпечує переміщення кодів на один розряд до виходу, а коди з комірок ЕРЗ.  $N$  переписуються в комірки ЕРЗ. 1. Тепер на вході дешифратора 2 буде код наступного каналу. На виході дешифратора сформується сигнал, який через одну із схем І групи схем співпадання надходить на один із виходів пристрою. Аналогічно циклічно пристрій буде формувати сигнали на виходах пристрою, забезпечуючи комутацію каналів із заданою черговістю.

Пристрій може функціонувати автономно, без затрат ресурсів центрального процесора комп'ютерної системи чи блока управління засобів автоматики. Це є однією з його особливостей. Іншою особливістю є його простота, тобто невелика кількість елементів та зв'язків [2]. Він легко реалізується, як складова частина, на кристалі сучасних напівзамовних чи замовних великих інтегральних схем.

1. Корнеев В. В. Параллельные вычислительные системы. - М., 1999.

2. А. С. 1319268 СССР. Коммутатор с заданием порядка коммутации / А. С. Дыкин, Я. С. Парамуд, Л. М. Сергейчук // Бюл. Изобрет. 1987. №23.