дискретних аналогів неперервних алгоритмів підтвердили, як і очікувалося, переваги алгоритмів (34) - (37)

Отже, саме алгоритми (34) - (37) потрібно брати за основу при розробці алгоритмічного забезпечення програмованих мікропроцесорних контролерів та реалізації АСР.

Крім того, подання цифрових алгоритмів у вигляді (34) - (37) є зручним для їх програмної реалізації за методом паралельного програмування, що пом'якшує вимоги щодо точності реалізації коефіцієнтів цих алгоритмів.

1. Изерман Р. Цифровые системы управления. М.. 1984.
2. Микропроцессорные системы автоматического регулирования /Под ред. В.В Солодовникова. М., 1991.
3. Микропроцессорные системы автоматического управления. Под ред. В.А. Бесекерского. Л., 1988.
4. Ротач В.Я. Теория автоматического управления теплоэнергетическими процессами. М., 1985.
5. Романенко В.Д.,Игнатенко Б.В. Адаптивное управление технологическими процессами на базе микроЭВМ. К., 1990.
6. Шавров А.В., Солдатов В.В. Многокритериальное управление в условиях статистической неопределенности. М., 1990.
7. Ковела І.М. Лінійні дискретні алгоритми регулювання другого порядку //Автоматика, вимірювання та керування. Львів. 1998. № 324. с.9-15.

ПОТОКОВИЙ ПРОЦЕСОР ШВИДКИХ ТРИГОНОМЕТРИЧНИХ ПЕРЕТВОРЕНЬ

© О. Ліскевич, М. Яцимірський
Національний університет "Львівська політехніка"

Синтезовано універсальний потоковий процесор швидких тригонометричних перетворень, що реалізує перетворення Фур'є, Хартлі, косинусне та синусне. Наведено структурні схеми основних функціональних вузлів пристрою, а також часову діаграму симуляції роботи процесора.

Universal fast trigonometric transformations stream processor, which performs Fourier, Hartley, cosine and sine transformations is synthesized.. The structural schemes of basic functional units and simulation timetable of the proposed device are given.

Вступ

Дискретні швидкі тригонометричні перетворення (ШТП) у наш час застосовують для розв'язання широкого кола задач [1]. При цьому в останні роки значно підвищився інтерес до побудови універсальних алгоритмів та засобів обчислення цих перетворень [2-10]. Зокрема, в [2,3] наведені універсальні алгоритми для обчислення косинусних

та синусних перетворень, орієнтовані на реалізацію на НВІС. Їх недоліком є велика кількість арифметичних операцій, тому що не використовуються швидкі алгоритми. В [4-8] запропоновано універсальні швидкі алгоритми та засоби виконання косинусних та синусних перетворень. Як базовий тут вибраний алгоритм швидкого косинусного перетворення. Недолік цього підходу при побудові потокових засобів виконання перетворень полягає у тому, що базовий алгоритм містить дві структурно неоднорідні частини і виконання інших перетворень потребує введення додаткових етапів. Наприклад, для обчислення швидкого перетворення Хартлі необхідно ввести додаткові (стосовно базового перетворення) етапи перестановки вхідної послідовності за законом парні-непарні елементи та повороту вектора [4]. Ці два недоліки значною мірою усунені у роботі [9], де наведено універсальний структурно-однорідний швидкий алгоритм обчислення ортогональних перетворень (УАШТП). Деякі особливості реалізації цього алгоритму на НВІС технологіях розглянуті [10]. У даній роботі синтезовано потоковий процесор виконання швидких ортогональних перетворень, що ґрунтується на алгоритмі [9] .

НВІС-реалізація алгоритму УАШТП

УАШТП реалізує швидкі дискретні перетворення Фур'є, Хартлі, косинусне та синусне дійсної послідовності $x(n)$, котрі відповідно задають виразами:

$$X(k)=\sum_{n=0}^{N-1}x(n)W_N^{kn}, \tag{1}$$

$$H(k)=\sum_{n=0}^{N-1}x(n)\left(C_N^{kn}+S_N^{kn}\right), \tag{2}$$

$$CII(k)=\sum_{n=0}^{N-1}x(n)C_{4N}^{(2n+1)k}, \tag{3}$$

$$SII(k)=\sum_{n=0}^{N-1}x(n)S_{4N}^{(2n+1)(k+1)}, \tag{4}$$

де $k=0,...,N$; $W_N^{kn}=C_N^{kn}-jS_N^{kn}$, $j=\sqrt{-1}$; $C_N^{kn}=\cos(2\pi kn/N)$; $S_N^{kn}=\sin(2\pi kn/N)$ [3,4]. Направлений граф алгоритму УАШТП (рис. 1) можна розділити на дві частини. Перша з них має універсальний стосовно всіх видів перетворень характер і містить m (m = log2N, де N-розмір перетворення) підетапів підсумовування та m-2 підетапи повороту вектора. Друга частина графу реалізує перехід до заданого виду перетворення. При цьому для всіх перетворень виконується один підетап повороту вектора.

Як бачимо, алгоритм має регулярну структуру, високий ступінь паралелізму, в ньому виділяються блоки однакової обчислювальної складності. Така схема є ідеальною для побудови конвеєрного обчислювача. Застосувавши граф-алгоритмічний метод побудови, тобто відбивши вершини та ребра графу на принципову схему, отримаємо матричний конвеєрний процесор ШТП послідовності заданої довжини. Такий пристрій відзначатиметься надвисокою, порівняно універсальною ЕОМ, швидкодією, але реалі-

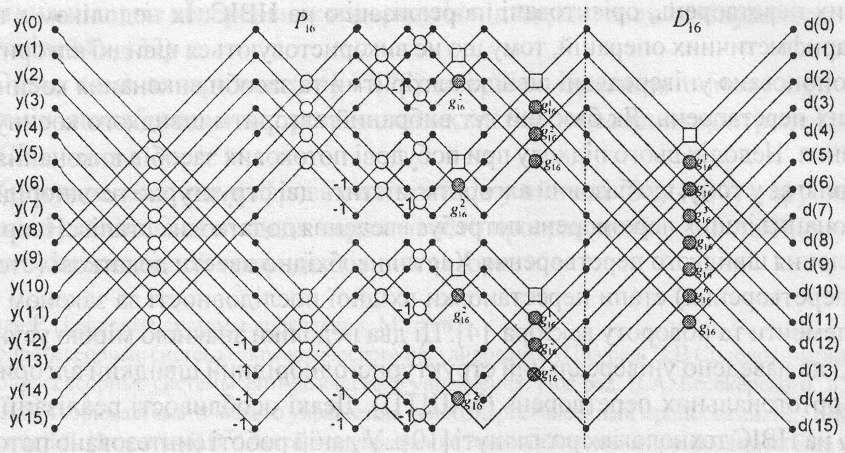

Рис. 1. Направлений граф УАШТП для послідовності довжиною 16

зація його буде складною (а при великій довжині послідовності практично неможливою) через велику кількість необхідних апаратних ресурсів. Крім того, реалізація паралельного вводу/виводу всієї послідовності до НВІС не видається можливою, а послідовний ввід/вивід із буферизацією значною мірою нівелює переваги паралельної обробки.

Іншим варіантом розв'язання задачі є використання потокової схеми обробки даних, тобто схеми, кожен базовий обчислювач якої виконує послідовну потокову обробку масиву даних, що оброблявся б паралельно в матрично-конвеєрній схемі [11]. При цьому принцип розділення обчислень у часі зберігається.

Найпростішим варіантом реалізації потокового обчислення ШТП є заміна кожного етапу графу алгоритму одним арифметичним пристроєм (АП), що виконує базову операцію етапу. Використавши двопортову пам'ять, подаватимемо вхідну послідовність на вхід першого АП і отримаємо результат роботи першого етапу алгоритму через $N/2$ циклів обробки. Застосувавши послідовне з'єднання $2m$-1 АП (рис. 3), матимемо потокову реалізацію операційного пристрою ШТП. Рівень паралелізму в цьому випадку дорівнює $2\log 2\, N - 1$.

Така схема матиме достатню продуктивність за умови обробки неперервного потоку даних. Але і в цьому випадку матиме місце значна затримка проходження конвеєра окремо взятим відліком вхідного сигналу $y(k)$.

Розробка менш інерційного конвеєра потребує зменшення затримок при переході даних між етапами перетворення. Справді, при реалізації відповідного сортування даних обчислення етапу i можна розпочати до завершення виконання обчислень етапу i-1. На рис. 4 подано схему блоку сортування, запропоновану в роботі [11], що реалізує перестановку даних між етапами перетворення i та i+1.

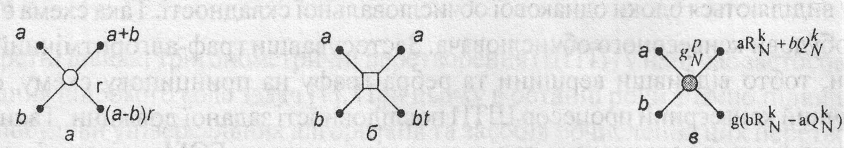

Рис. 2. Базові операції алгоритму УАШТП: а) проста; б) передачі даних; в) поворот вектора

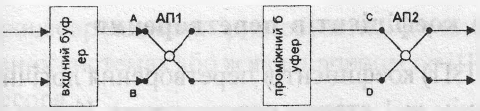

Рис. 3. Потокова обробка даних

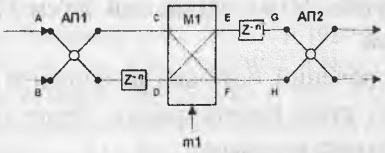

Рис. 4. Базова схема перестановки

Тут *Z-n* – елемент затримки на *n* тактів, *M1* - комутатор, що залежно від керуючого сигналу реалізує передачу даних "прямо" (*E*=*C*, *F*=*D*) або "навхрест" (*E*=*D*, *F*=*C*). Оскільки *N*-точковий УАШТП складається з 2*m*-1 етапів, то для реалізації міжетапних перестановок потрібно 2*m*-2 подібних схем. Розмір елементів затримки після *i*-го етапу $n(i)$ визначається типом перестановки й обчислюється за рекурентними формулами: $n(1)=N/4$; $n(i) = n(i\text{-}1)/2$, $2 \le i \le m\text{-}2$; $n(m\text{-}1)=1$; $n(i)=2n(i\text{-}1)$, $m \le i \le 2m\text{-}2$.

Діаграма на рис. 5 ілюструє перестановку даних між першим та другим етапами 16-точкового перетворення (тривалість затримки $n = N/4 = 16/4 = 4$).

Як бачимо, загальна затримка переходу даних між етапами перетворення зменшується вдвічі. Зауважимо також, що дана реалізація вимагає лише 2*N*-4 комірок пам'яті, а попередня – 2*N*(*m*-1) комірок.

Загальна структурна схема операційного пристрою потокового процесора УШТП для послідовності довжиною 16 наведена на рис. 6. Сигнали керування *m*, *r*, *g*, *t* надходять від пристрою керування, коефіцієнти перетворення *R*, *Q* - від запам'ятовуючого пристрою коефіцієнтів. *N*-точковий операційний пристрій складається з *m* АП простої БО, *m*-1 АП операції ПВ та 2*N*-4 комірок пам'яті.

```
A:  x0, x1, x2, x3, x4, x5, x6, x7;
B:  x8, x9,x10,x11,x12,x13,x14,x15;
C:  x0, x1, x2, x3, x4, x5, x6, x7;
D:                  x8, x9,x10,x11,x12,x13,x14,x15;
m1: ==, ==, ==, ==, xx, xx, xx, xx, ==, ==, ==, ==;
E:  x0, x1, x2, x3, x8, x9,x10,x11;
F:                   x4, x5, x6, x7,x12,x13,x14,x15;
G:                   x0, x1, x2, x3, x8, x9,x10,x11;
H:                   x4, x5, x6, x7,x12,x13,x14,x15;
```

Рис. 5. Перестановка даних після першого етапу 16-точкового перетворення

На кожному такті роботи процесора видаються два відліки перетвореного сигналу. Нехтуючи початковою затримкою завантаження конвеєра, можемо описати швидкодію пристрою виразом $T = N\, t_1 /2$, де *T* - час видачі перетворення *N*-точкової послідовності, t_1 - тривалість тактового інтервалу. На рис. 7 наведено часову діаграму симуляції роботи процесора засобами пакету *Aldec Active-HDL*. Період тактового імпульсу дорівнює 10 нс, час перетворення 32-точкової послідовності становить 160 нс.

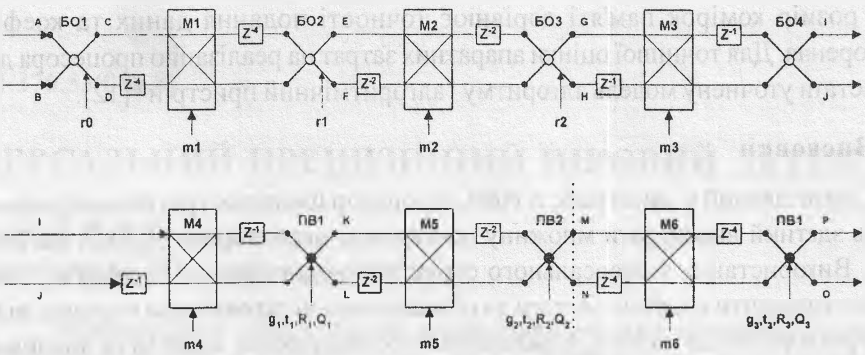

Рис. 6. Структура операційного пристрою 16-точкового процесора УШТП

Синтез запам'ятовуючого пристрою коефіцієнтів перетворення

Постійний запам'ятовуючий пристрій (ПЗП) коефіцієнтів перетворення логічно поділяється на блоки, що відповідають останнім m-1 етапам перетворення. Кожен із перших m-2 блоків ПЗП містить два масиви коефіцієнтів (R та Q), довжиною $N/2$ кожен. Останній блок містить вісім таких масивів (по чотири R та Q), що використовуються при реалізації чотирьох основних типів перетворень. Отже загальний об'єм ПЗП коефіцієнтів становить $N(m\text{-}2) + 4N = N(m+2)$ комірок.

Об'єм ПЗП, розрахований вище, може бути скорочений, оскільки коефіцієнти повороту вектора частково повторюються на кожному етапі перетворення. Проте така оптимізація вимагатиме значного ускладнення пристрою керування.

Адресація ПЗП коефіцієнтів послідовна в межах кожного блоку. Як видно з рис. 6, коефіцієнти з i-го блоку ПЗП повинні вибиратись з деяким відставанням TDi відносно

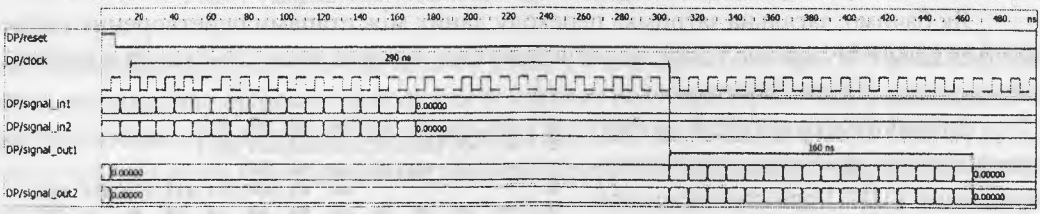

Рис. 7. Часова діаграма симуляції роботи пристрою

першого ПЗП. При цьому $TD_0 = 0$, $TD_i = 2i + TD_{i-1}$, $i = 1,2, \ldots, m\text{-}1$. З врахуванням цього адресацію усіх блоків ПЗП можна здійснювати спільно, за допомогою одного $N/2$ - розрядного лічильника. Вказані значення затримки легко реалізувати на етапі заповнення ПЗП шляхом відповідного впорядкування значень коефіцієнтів.

Аналіз апаратних затрат процесора

Апаратні затрати запропонованого пристрою залежать загалом від довжини максимальної послідовності N, що її може обробляти пристрій, та від розрядності даних (точності представлення). Процесор містить операційний пристрій ($2m$-1 АП, $2N$-4 комірок пам'яті), ПЗП коефіцієнтів перетворення ($N(m+2)$ комірок), пристрій керування, вхідний та вихідний запам'ятовуючі пристрої (затрати залежно від реалізації). Тут m=log 2 N, а розмір комірок пам'яті дорівнює точності подання даних та коефіцієнтів перетворення. Для точнішої оцінки апаратних затрат на реалізацію процесора доцільно використати уточнену модель алгоритму "алгоритмічний пристрій" [12].

Висновки

Синтезований у даній роботі НВІС-процесор швидких тригонометричних перетворень здатний виконувати множину поширених перетворень (ШПФ, ШПХ, ШКП, ШСП). Використання універсального структурно-однорідного алгоритму обчислень дозволяє зменшити апаратні затрати та обчислювальні затрати при переході від одного виду перетворення до іншого. За наведеними розрахунками може бути виконаний процесор для перетворення послідовностей даних довільної довжини N (N=2m). Такий

процесор може використовуватись як автономний перетворювач сигналів у спеціалізованих системах або ж як співпроцесор ШТП у складі універсального сигнального процесора.

1. Залманзон Л.А. Преобразования Фурье, Уолша, Хаара и их применение в управлении, связи и других областях. М., 1989.
2. Chang L.-W. and Wu M.-C. A unified systolic array for discrete cosine and sine transforms// IEEE Trans. Signal Processing. - 1991. - №. 1. - P. 192-194.
3. Wu J.-L., Hsu S.-H., Duch W.-J. A Novel Two-Stage Algorithm for DCT and IDCT//IEEE Transaction on Signal Processing.- 1992.- N 6. - P. 1610 - 1612.
4. Яцимірський М.М. Швидкі алгоритми ортогональних тригонометричних перетворень. Львів., 1997.
5. Мельник А.О., Ермєтов Ю.О. Розробка двоканальних конвеєрних пристроїв для реалізації матриці коригування в алгоритмі швидкого косинусного перетворення//Вісник державного університету "Львівська політехніка" "Комп'ютерна інженерія та інформаційні технології". Львів, 1999. - № 370 . - С. 28-34.
6. Melnyk A., Eichelel H., Pochaevets A., Yatsymirskyy M. /Fast Orthogonal Core architecture//Proc. 43rd Inrenational Scientific Colloquimum. Technical University of Ilmenau.Septembre 21-24, 1998. - P.509-514.
7. Хамарши К. Д., Яцимирский М. Н. Быстрое вычисление симметричных косинусного и синусного преобразований // Збірник наукових праць. Інституту проблем моделювання в енергетиці. К., 1998. вып. 4. -С. 169-174.
8. Хамарши К. Д., Яцимирский М. Н. Быстрые алгоритмы косвенного вычисления косинусных и синусных преобразований (ДКП-II и ДСП-II) // Вісник Державного університету "Львівська політехніка ". Комп'ютерна інженерія та інформаційні технології. -Львів. -1999. -№ 370 -С. 111-116.
9. Ліскевич Р.І, Яцимірський М.М. Універсальний швидкий алгоритм обчислення дискретних тригонометричних перетворень. Вісник ДУ "Львівська політехніка" "Комп'ютерна інженерія та інформаційні технології ". - Львів, 2000 -№392- с. 151-155.
10. Ліскевич Р.І., Цмоць І.Г., Яцимірський М.М. Універсальний НВІС-процесор швидких тригонометричних перетворень// Збірник наукових праць. Інститут проблем моделювання в енергетиці. К., 2000. - Вип. 10. - С.190-197.
11. Рабинер Л., Гоулд Б. Теория и применение цифровой обработки сигналов /Пер. с англ. А.Л.Зайцева, Э.Г.Назаренко, Н.Н.Тетекина; Под ред. Ю.Н.Александрова. М.:, 1978.
12. Черкаський М.В. Характеристики складності апаратних засобів на процесорному рівні// Тез.доп. на Міжнар. конф. "Інформаційні технології та системи ІТС-93", 1993. - С.27.

УДК 621.376.53(088.8)

УНІВЕРСАЛЬНИЙ ПРЕЦИЗІЙНИЙ ПІКОВИЙ ДЕТЕКТОР

© З. Мичуда, К. Ільканич
Національний університет "Львівська політехніка"

Запропоновано універсальний прецизійний піковий детектор з основною похибкою, меншою за 0,025%, який придатний для перетворення періодичних і неперіодичних сигналів, а також поодиноких імпульсів.