

УДК 621.396.6.019.3:621.38.049.77

В.А. Павлиш, І.В. Данчишин, Р.О. Корж, Д.В. Вишняков

Національний університет „Львівська політехніка”,  
кафедра електронних засобів інформаційно-комп’ютерних технологій

## ДЕФЕКТНІСТЬ СТРУКТУР ЕЛЕКТРОННИХ ЗАСОБІВ ТА ПРОБЛЕМА АДЕКВАТНОСТІ ЇЇ РОЗРАХУНКУ

© Павлиш В.А., Данчишин І.В., Корж Р.О., Вишняков Д.В., 2002

**Запропоновано модель розрахунку виходу придатних кристалів інтегральних схем із врахуванням дво- та тривимірної дефектності мікроструктур електронних засобів.**

**Integrated circuit dies yield model which takes into account the two- and three-dimensional defectivity of electronic device microstructures has been proposed.**

Діагностика дефектності структур електронних засобів надзвичайно актуальна на сучасному етапі, оскільки значне зменшення розмірів елементів ІС з одночасним збільшенням площі кристала збільшує ймовірність появи на кристалі дефектів та забруднень, розміри яких близькі до розмірів елементів ІС. Це призводить до підвищення вимог до чистоти технології, технологічних середовищ і реактивів, що змінює конструкцію виробничого обладнання. Подальший розвиток надвеликих (НВІС) та ультравеликих (УВІС) інтегральних схем слід оцінювати з двох позицій – технології з врахуванням безперервного підвищення ступеня інтеграції і рентабельності та економічної доцільності виробництва [1, 2]. Сьогодні виробництво електронних засобів перебуває на етапі, характерними особливостями якого є:

- подальше просування в область субмікронного діапазона (до 0.18–0.10 мкм);
- подальше зменшення розмірів тривимірних структур у вигляді вузьких "щілин" завглибшки до декількох мкм [2];
- збільшення кількості технологічних шарів (до 25–30) з одночасним зменшенням їх товщини (наприклад, товщина діелектричного шару під заслоном повинна бути близько 10 нм) [2];
- збільшення кількості технологічних операцій (до 500–700 і більше);
- збільшення діаметра кремнієвих пластин (до 300–450 мм) і, відповідно, площі кристала;
- зменшення розмірів допустимих дефектів (до 0.03 мкм і менше) з одночасним зниженням густини дефектів (до  $0.01 \text{ см}^{-2}$ ).

При цьому різко зростають вимоги до чистоти і якості матеріалів, які використовуються, а також до рідинних та газових середовищ, і виникає необхідність суперочищення поверхні кремнієвих пластин, структур, які створюються, і контролю забруднень [3,4] безпосередньо на важливих операціях виробництва ІС, тобто створення умов надчистої технології.

Слід відмітити, що, незважаючи на всі зусилля щодо створення надчистих виробництв і вдосконалення процесів очистки поверхні від мікрочасток, брак від подібного роду забруднень при переході від виробництва НВІС до УВІС зростає з 50 до 80%.

Забруднення, які виникають під час технологічного процесу нанесення основних шарів НВІС, можна поділити на три основні групи:

$$\Lambda_{ik}^{(3)} = \begin{pmatrix} 10^{-1} & 10^{-2} & 10^{-3} & \dots & 10^{-10} \\ 0 & 10^{-1} & 10^{-2} & \dots & 10^{-9} \\ 0 & 0 & 10^{-1} & \dots & 10^{-8} \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & \dots & 10^{-1} \end{pmatrix}. \quad (20)$$

Як можна бачити, такий підхід показує, що дефекти, які розташовані далеко від поточного шару, мають дуже малий вплив на дефектність даного шару.

Тоді підстановкою (18) в (19) отримаємо

$$Y_j = \exp \left( -SC_f \left( \Lambda_j^{(2)} d_j^{(2)} + \sum_{i=1}^j \sum_{k=i}^j \Lambda_{ik}^{(3)} d_i^{(3)} \right) \right), \quad (21)$$

що дає нам після перетворення

$$Y_j = \exp S(-C_f \Lambda_j^{(2)} d_j^{(2)}) \prod_{i=1}^j \prod_{k=1}^j \exp(-C_{fk} \Lambda_{ik}^{(3)} d_i^{(3)}). \quad (22)$$

Отримане співвідношення дозволяє врахувати різні типи механізмів дефектів та їх кумулятивний ефект, а розроблена модель дозволяє прогнозувати ВП кристалів ІС з врахуванням дефектності, що спричиняється технологічним процесом та сторонніми забрудненнями.

1. Доморацький І.А., Павлиш В.А. *Комплексна автоматизація виробництва РЕА (ідеї, моделі, проекти)*. – К.: НМК ВО, 1992. – 135с. 2. Adler E. *The evolution of IBM CMOS DRAM Technology* // *IBM J. of Res. and Develop.* – *IBM CMOS Technol.* – 1995. – V.39. – № 1/2.
3. Павлиш В., Данчишин І., Корж Р., Вишняков Д. *Діагностика поверхневої дефектності напів-провідникових пластин* // *Вісн. "Радіоелектроніка та телекомунікації"*. – 2001. – №428. – С.228–233. 4. Корж Р.О., Данчишин І.В., Заставний Є.Л. *Методика оцінки дефектності структур мікроелектронних РЕЗ* // *Електроніка и связь*. – 1999. – №6. – Т.2. – С.81–85. 5. Tong Lee-Ing, Wei-I Lee, Chao-Ton Su *Using a Neural Network-Based Approach to Predict the Wafer Yield in Integrated Circuit Manufacturing* // *IEEE Transactions on Components, Pack., Manufact. Technology*. – Oct, 1997. – V.20, №4. – P.288–294.