

Визначення оптимального розподілу швидкодії без використання оптимізаційних формул відносно простий при $n = 2$ і значно ускладнюється при збільшенні кількості пристроїв.

Висновки

Враховуючи збіг результатів, отриманих при визначенні швидкодії в різних задачах цими двома способами, доцільно рекомендувати використовувати більш простий з них, тобто перший спосіб, з використанням оптимізаційних формул.

Що стосується другого способу, то для його практичного використання при $n > 2$ потрібні подальші дослідження з метою вироблення простого і ефективного алгоритму.

1. Драммонд М. Методы оценки и измерений дискретных вычислительных систем. – Мир, М.: 1977.
2. Основы теории вычислительных систем /Под ред. С. А. Майорова.– Высш. школа, М.: 1978.
3. Лукашук Л. О. Вибір пристроїв для розімкненої обчислювальної системи при заданій вартості. /Вісн. ДУ "Львівська політехніка", 1995.– №294.– 5
4. Лукашук Л. О. Вибір пристроїв для розімкненої обчислювальної системи при заданій вартості // Вісник ДУ"ЛП", 1995. – №294. – 5
5. Лукашук Л. О. Оптимальний розподіл швидкодії між пристроями обчислювальної системи: Навч. посібник.– К., 1995.– С. 44
6. Лукашук Л. О. Мінімізація середнього часу перебування заявки у багатопрограмній обчислювальній системі в оперативному режимі при обмеженій сумарній інтенсивності роботи її пристроїв // Вісн. ДУ "Львівська політехніка".– 1998.– №324. – С
7. Лукашук Л. О. Визначення оптимального розподілу інтенсивності роботи пристроїв багатопрограмної обчислювальної системи в режимі оперативної обробки при заданому середньому часі перебування заявки в системі. // Вісн. ДУ"ЛП", 1998.– №324.– С. 3
8. Лукашук Л. О. Оцінка продуктивності проблемно-орієнтованих обчислювальних систем // Вісник ДУ"ЛП".– 1998.– №351.– С. 4

В.Максимович, Р.Стахів

Національний університет "Львівська політехніка"

УДК 621.373.54

ДВОРІВНЕВИЙ СИНТЕЗАТОР ЧАСТОТИ

© Максимович В., Стахів Р., 2002

Розглянута можливість використання цифрового накопичувача на двох комбінаційних суматорах для побудови дворівневого синтезатора.

The possibility of using digital accumulator, that has two adders, for creating two-level synthesizer is considered.

Дворівневі синтезатори частоти широко використовуються в різних технічних пристроях, зокрема, при створенні звукових генераторів і керованих ліній затримки. Такі синтезатори можуть бути побудовані на основі різних принципів, однак в останній час перевага віддається цифровим пристроям, які забезпечують кращі параметри, стійкість до впливу зовнішніх факторів, надійність роботи і високу технологічність.

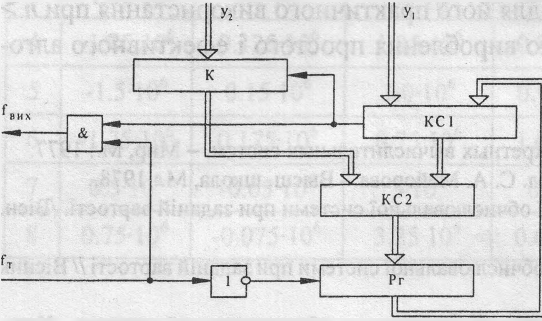


Рис. 1. Структурна схема цифрового накопичувача

В даній роботі розглянута можливість використання цифрового накопичувача [1] для побудови дворівневого синтезатора, визначені його основні характеристики. Розглянута також схема, що може бути спільною основою для створення як дворівневих, так і багаторівневих синтезаторів.

Структурна схема цифрового накопичувача наведена на рис. 1.

До його складу входять комбінційні суматори КС1 і КС2, комутатор К, логічний елемент І і інвертор.

Середня частота вихідних імпульсів накопичувача визначається рівнянням (1)

$$f_{\text{вих}} = \frac{y_1}{N_m - y_2} f_m, \quad (1)$$

де f_m – частота повторення вхідних імпульсів y_1 і y_2 – керуючі коди, $N_m = 2^m$, а m – кількість двійкових розрядів КС1, КС2, Рг і К. Нормальна робота накопичувача забезпечується при виконанні умови $y_1 \geq N_m - y_2$.

Поточна абсолютна похибка перетворення пристрою може бути визначена так:

$$\Delta(x, y_1, y_2, R) = F(x, y_1, y_2, R) - \frac{y_1}{N_m - y_2} x, \quad (2)$$

де $F(x, y_1, y_2, R)$ – кількість вихідних імпульсів, R – початкова установка регістра Рг, x – кількість вхідних імпульсів.

Нехай $S(x, y_1, y_2, R)$ – поточне значення числа в Рг. Тоді

$$S(x, y_1, y_2, R) + F(x, y_1, y_2, R) N_m = R + xy_1 + F(x, y_1, y_2, R) y_2, \quad (3)$$

або

$$F(x, y_1, y_2, R) = \frac{R + xy_1 - S(x, y_1, y_2, R)}{N_m - y_2}. \quad (4)$$

Із (2) і (4) випливає:

$$\Delta(x, y_1, y_2, R) = \frac{R - S(x, y_1, y_2, R)}{N_m - y_2}, \quad (5)$$

$$\Delta_{\max}(y_1, y_2, R) = \frac{R - S_{\min}(y_1, y_2, R)}{N_m - y_2}, \quad (6)$$

$$\Delta_{\min}(y_1, y_2, R) = \frac{R - S_{\max}(y_1, y_2, R)}{N_m - y_2}, \quad (7)$$

де $S_{\max}(y_1, y_2, R)$ і $S_{\min}(y_1, y_2, R)$ – максимальне і мінімальне значення $S(x, y_1, y_2, R)$, а $\Delta_{\max}(y_1, y_2, R)$ і $\Delta_{\min}(y_1, y_2, R)$ – максимальне і мінімальне значення $\Delta(x, y_1, y_2, R)$ відповідно.

Екстремальні значення чисел в Рг можуть бути визначені виходячи з таких міркувань. Процес накопичення числа y_1 в Рг продовжується доти, доки на виході КС1 не сформується рівень логічної одиниці. У цей момент комутатор К відкривається і черговий імпульс, що надходить на вхід пристрою, запише в Рг число, не менше ніж y_2 . Отже

$$S_{\min}(y_1, y_2, R) \geq y_2. \quad (8)$$

Очевидно також, що число в Рг не може перевищувати ємності регістра:

$$S_{\max}(y_1, y_2, R) \leq N_m - 1. \quad (9)$$

Із (6) - (9) при $R = N_m - 1$ випливає:

$$\Delta_{\max}(y_1, y_2) \leq 1 - \frac{1}{N_m - y_2}, \quad (10)$$

$$\Delta_{\min}(y_1, y_2) \geq 0. \quad (11)$$

Отже, при $R = N_m - 1$ похибка пристрою є у межах:

$$0 \leq \Delta(x, y_1, y_2) < 1. \quad (12)$$

У табл. 1 наведені екстремальні похибки накопичувача для усіх можливих значень R , отримані в результаті імітаційного моделювання 6-розрядного пристрою. При цьому були враховані усі можливі значення y_2 і усі значення $y_1 \geq N_m - y_2$.

У результаті моделювання було доведено, що характер зміни екстремальних похибок залежно від значення R зберігається і для інших значень m , а отже, й те, що пристрій забезпечує оптимальні значення цих похибок при $R = N_m - 1$.

Таким чином, результати аналітичного дослідження і імітаційного моделювання підтверджують високу точність перетворення цифрового накопичувача.

Основна перевага даного пристрою при використанні його як дворівневого

синтезатора частоти, полягає в тому, що при цьому забезпечується можливість зміни кроку сітки вихідних частот. Це може бути проілюстровано даними табл. 2.

На рис. 2 наведена схема комбінованого пристрою, що ґрунтується на вищерозглянутій, яка була основою для створення як дворівневих, так і багаторівневих синтезаторів.

Структурна схема містить регістри Rg1, Rg2, які призначені для перетворення послідовного коду в n -розрядний паралельний код; інформаційні регістри Rg3, Rg4, Rg5 ємністю n біт; комбінаційні n -розрядні суматори КС1, КС2; комутатори К1, К2 та елементи керуючої логіки.

Цифровий синтезатор частоти, виконаний за такою структурою забезпечує два режими роботи.

Таблиця 1
Екстремальні похибки цифрового накопичувача при різних значеннях R

R	Δ_{\max}	Δ_{\min}	R	Δ_{\max}	Δ_{\min}
1	2	3	4	5	6
0	-0.015	-63.00	32	0.492	-31.00
1	0.000	-62.00	33	0.507	-30.00
2	0.015	-61.00	34	0.523	-29.00
3	0.031	-60.00	35	0.539	-28.00
4	0.047	-59.00	36	0.555	-27.00
5	0.063	-58.00	37	0.571	-26.00
6	0.079	-57.00	38	0.587	-25.00
7	0.095	-56.00	39	0.603	-24.00
8	0.111	-55.00	40	0.619	-23.00
9	0.126	-54.00	41	0.634	-22.00
10	0.142	-53.00	42	0.650	-21.00
11	0.158	-52.00	43	0.666	-20.00
12	0.174	-51.00	44	0.682	-19.00
13	0.190	-50.00	45	0.698	-18.00
14	0.206	-49.00	46	0.714	-17.00
15	0.222	-48.00	47	0.730	-16.00
16	0.238	-47.00	48	0.746	-15.00
17	0.253	-46.00	49	0.761	-14.00
18	0.269	-45.00	50	0.777	-13.00
19	0.285	-44.00	51	0.793	-12.00
20	0.301	-43.00	52	0.809	-11.00
21	0.317	-42.00	53	0.825	-10.00
22	0.333	-41.00	54	0.841	-9.00
23	0.349	-40.00	55	0.857	-8.00
24	0.365	-39.00	56	0.873	-7.00
25	0.380	-38.00	57	0.888	-6.00
26	0.396	-37.00	58	0.904	-5.00
27	0.412	-36.00	59	0.920	-4.00
28	0.428	-35.00	60	0.936	-3.00
29	0.444	-34.00	61	0.952	-2.00
30	0.460	-33.00	62	0.968	-1.00
31	0.476	-32.00	63	0.984	-0.00

Таблиця 2
Номінальні значення вихідних частот синтезатора

y_1	Вихідна частота, МГц $y_2=0$	y_1	Вихідна частота, МГц $y_2=73741824$
0	0.000000000000	0	0.000000000000
1	0.000000009313	1	0.000000010000
2	0.000000018626	2	0.000000020000
3	0.000000027940	3	0.000000030000
4	0.000000037253	4	0.000000040000
...
1073741822	9.999999981374	999999998	9.999999980000
1073741823	9.999999990687	999999999	9.999999990000

Розглянемо роботу синтезатора у першому режимі. При цьому на вхід1 надходить двійковий код, а на вхід2 значення фази вихідного сигналу. Цей режим забезпечується при наявності на вході керуючого сигналу СК, що відповідає логічній 1. Два n -розрядні числа надходять на входи 1 та 2, і при наявності тактових імпульсів С1 та С2 записуються у регістри Pr1, Pr2, де перетворюються з послідовного коду в паралельний. Сигнал СК (лог.1) відкриває комутатор К1, і на його вихід проходить n -розрядний код, який надходить на вхід Pr4. При наявності імпульсу на входах Зп1 та Зп2 відбувається запис кодових комбінацій у регістри Pr3, Pr4 відповідно. Якщо на виході переносу КС1 відсутній сигнал, то К2 закритий і Pr5, КС1 і Pr4 функціонують в режимі класичного нагромаджуючого суматора, тобто в Pr5 накопичується число, яке міститься в Pr4. При появі на виході КС1 сигналу переносу К2 відкривається, і через СМ2 в Pr5 накопичується число, яке знаходиться в Pr3. Причому додавання числа з Pr3 відбувається в момент проходження імпульсів на вихід логічного елемента І, тобто на вихід пристрою. Таким чином, процеси, що відбуваються в пристрої, є такими ж, як і у цифровому накопичувачі (рис.1) і можуть бути описані виразом (1).

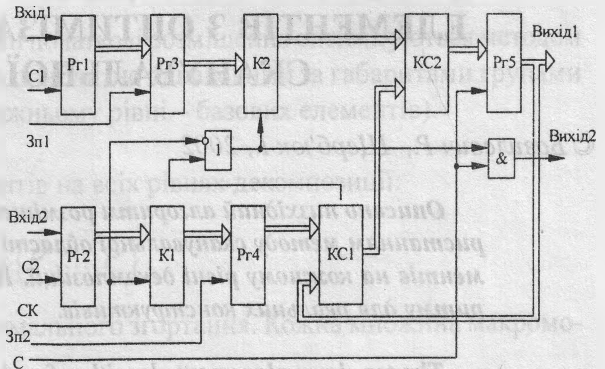


Рис.2. Структурна схема комбінованого пристрою

У другому режимі роботи керуючий сигнал СК відповідає логічному 0, комутатор К1 пропускає на свої виходи лише старші k розрядів ($k < n$), що надходять на його входи. Якщо у Pr4 записане число, яке дорівнює нулю, то КС1, КС2 та Pr5 працюють як нагромаджуючий суматор (фазовий акумулятор), а при запису числа у Pr4, відмінного від нуля, відбувається зміна фази вихідного сигналу. Вихідний код, синтезований таким чином, знімається з шини Вихід 1, але при цьому може використовуватись лише певна кількість старших розрядів, бо при обробці n -розрядного числа отримуємо відтворення синтезованої частоти з надлишковою точністю. Отже, в даному режимі, пристрій працює як класичний фазовий акумулятор і може бути використаний при створенні синтезаторів частоти, що працюють

за методом прямого цифрового синтезу [2, 3, 4].

1. Максимович В.Н., Дудыкевич В.Б. Цифровой накопитель, А.С. СССР № 1343411, Бюл. № 37, 1987.
2. Puccio G. Layout Design of a Direct Digital Frequency Synthesizer as a Frequency Dehopper for a Spread Spectrum Communication system. Wed Juli 28 1994. INTERNET [http:// cas. et. tudelft. nl/~ wissce/reports/ giaco/main_html.HTML](http://cas.et.tudelft.nl/~wissce/reports/giaco/main_html.HTML).
3. W.Kester High speed DACs and DDS systems. INTERNET http://www.analog.com/support/stanolad_linear_seminar_material/highspeed/6.pdf
4. J.Vanka, M.Waltari, M.Kosunen, and Kari A.I.Halonen. A Direct Digital Synthesizer with an On-Chip D/A-Converter. // IOEE J. of Solid=State Circuits, Vol.33, №2, February 1998.

Р. Базилевич, І. Щерб'юк

Національний університет "Львівська політехніка"

УДК 621.382

НИЗХІДНЕ РОЗМІЩЕННЯ РІЗНОГАБАРИТНИХ ЕЛЕМЕНТІВ З ОПТИМІЗАЦІЄЮ МЕТОДОМ СКАНУВАЛЬНОЇ ОБЛАСТІ

© Базилевич Р., Щерб'юк І., 2002

Описано низхідний алгоритм розміщення різногабаритних елементів з використанням методу сканувальної області для оптимізації положення макроелементів на кожному рівні декомпозиції. Наведено порівняльні результати алгоритму для реальних конструктивів.

The top-down placement algorithm for elements with various sizes is described. The scanning area method is used for optimization macroelements (soft macros) placement in every level of decomposition. Experimental results are given.

Метод сканувальної області підтвердив свою високу ефективність для розміщення одногабаритних елементів на різноманітних конструктивах електронної техніки (друкованих платах, інтегральних схемах тощо). Доцільним є застосування цього методу для зон конструктиву, в яких є значний процент приблизно однакових за розмірами базових елементів чи макроелементів, які утворюють її сильно зв'язані згустки – кластери. Для виділення таких кластерів доцільно використовувати методом оптимального згортання схеми [1,2]. Цей метод формує такі кластери з заданням структури їх ієрархічного входження. Кластери замінюються макроелементами (*soft macros* – гнучкими