

ПІДВИЩЕННЯ ТОЧНОСТІ ФАЗОВОГО ДЕТЕКТУВАННЯ

© Іванців Р.-А. Д., Марікуца У.Б., Антонюк М.П., 2004

Проаналізовано існуючі методи фазового детектування в радіоелектронних системах. Розглянуто похибки методу під час використання різних методів детектування. Запропоновано технічне рішення для підвищення точності фазового детектування з використанням комбінованої аналогово-цифрової схеми. Оцінено можливу похибку аналогового пристрою, який використовується як дільник в двоканальному фазовому детекторі.

The analysis of existing methods of phase detecting in radio-electronics systems is carried out. It is considered mistakes of a method at use of different methods of detecting. The technical decision for increase in accuracy of phase detecting with use of the combined analog-digital scheme is offered. It is lead an estimation of opportunities of an error of the analog device which is used as a divider in the two-channel phase detector.

Точність фазового детектування є важливим параметром в різноманітних радіоелектронних пристроях і системах. Від точності фазового детектування залежить багато важливих вихідних параметрів радіоелектронних пристроїв і систем. Особливо воно є актуальне в автономних радіоелектронних системах, які експлуатуються без участі оператора.

Детектор – це пристрій, який здійснює операцію, що є зворотна до модуляції, тобто виділення модулюючого сигналу з модульованого. Отже, дослідження точності фазового детектування є встановлення відмінності модулюючого сигналу і демодульованого сигналу. Якщо ми маємо змогу цю відмінність виразити в цифровій формі, наприклад, у відсотках від максимального значення амплітуди моделюючого сигналу, то стверджуємо, що можемо оцінити похибку фазового детектування.

Відомо багато типів фазових детекторів. Але є загальні особливості. Для виділення і формування величини, яка пропорційна фазовому зсуву, необхідно фазомодульований сигнал порівняти з опорним. Звичайно фазові детектори будуються з використанням перемножувачів. Перемножувачами використовують нелінійні елементи – діоди, транзистори, диференційні підсилювачі, ключові схеми тощо.

Найбільшого розповсюдження отримав балансний фазовий детектор (ФД), схема якого показана на рис. 1. [1]

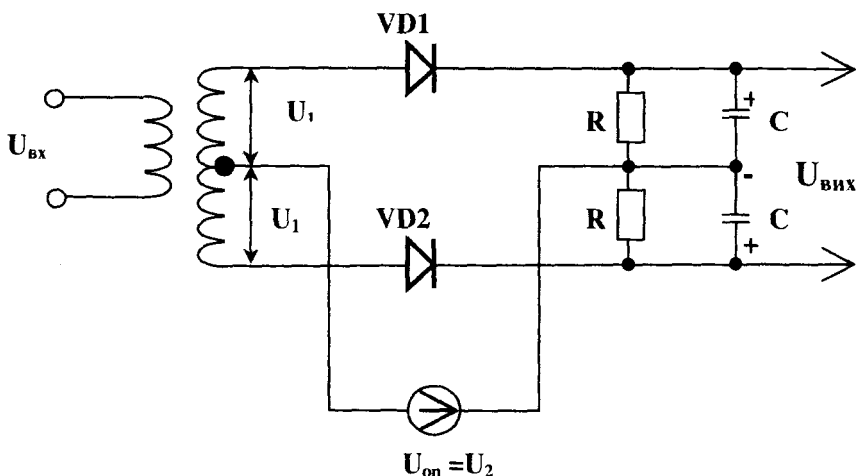


Рис. 1. Балансний фазовий детектор

ФД складається з двох зустрічно включених амплітудних детекторів (АД). На входи АД подаються напруги U_1 і U_2 так, що на діоді VD1 вони додаються, а на VD2 – віднімаються. Так як напруги на навантаженнях діють зустрічно, то

$$U_{вих} = K_{АД} (U_{mД1} - U_{mД2}), \quad (1)$$

де $U_{mД1}, U_{mД2}$ – амплітуди результуючих напруг на діодах

$$U_{mД1} = \sqrt{U_{m1}^2 + U_{m2}^2 + 2U_{m1}U_{m2} \cos \varphi} \quad ; \quad (2)$$

$$U_{mД2} = \sqrt{U_{m1}^2 + U_{m2}^2 - 2U_{m1}U_{m2} \cos \varphi} \quad . \quad (3)$$

Вираз (1) – це рівняння детекторної характеристики балансного ФД. Навіть поверхневий аналіз свідчить про те, що детекторна характеристика є нелінійною і вихідна напруга залежить від зсуву фаз φ , від амплітуд напруг U_1 і U_2 , які порівнюються. Ідеальною характеристикою ФД була би така, яка виражала би лінійну залежність від кута φ . Чому треба було би усунути залежність вихідної напруги ФД від амплітуд U_1 і U_2 ? Відповідь проста. Ми ніколи не можемо стверджувати з високою ймовірністю, що зміна вихідної напруги на величину $\pm \Delta U_{вих}$ спричинена зміною $\varphi \pm \Delta \varphi$, чи ці зміни зумовлені зміною $U_1 \pm \Delta U_1$ або $U_2 \pm \Delta U_2$. Для виключення залежності $U_{вих}$ від змін амплітуд напруг U_1 і U_2 використовують амплітудний обмежувач (АО) для вхідного сигналу, амплітуду опорного генератора стабілізують. Така схема також має свої недоліки. Якщо звичайний ФД може мати більше 100 відсотків похибки, яка буде формуватися змінами амплітуд вхідних сигналів, то фазовий детектор з амплітудним обмежувачем забезпечить значно меншу похибку. Виконаємо оцінку такої похибки. На фільтр низьких частот (ФНЧ) при наявності обмеження і за його відсутності надходить сигнал з амплітудою A_0 . При обмеженні (при значному перевищенні $A_i \gg A_0$) на ФНЧ буде надходити сигнал майже прямокутної форми. За відсутності обмеження на ФНЧ буде надходити додатна півхвиля синусоїди з амплітудою A_0 . Амплітуда сигналу на виході ФНЧ буде не більше значення, яке визначається за формулою (приймаємо $A_0=1$)

$$\begin{aligned} U_{11} &= \int_{-\frac{\varphi}{\omega}}^{\frac{\pi - \varphi}{\omega}} \sin(\omega t + \varphi) dt = \frac{1}{\omega} \left[-\cos(\omega t + \varphi) \right]_{-\frac{\varphi}{\omega}}^{\frac{\pi - \varphi}{\omega}} = \\ &= -\frac{1}{\omega} \left[\cos\left(\omega \left(\frac{\pi - \varphi}{\omega}\right) + \varphi\right) - \cos\left(\omega \left(\frac{-\varphi}{\omega}\right) + \varphi\right) \right] = \\ &= -\frac{1}{\omega} [\cos(\pi) - \cos(0)] = \frac{2}{\omega}. \end{aligned}$$

Амплітуда сигналу на виході ФНЧ при значному обмеженні буде не більше значення, яке визначається за формулою

$$U_{12} = \int_{-\frac{\varphi}{\omega}}^{\frac{\pi - \varphi}{\omega}} 1 dt = 1 * \left[\frac{\pi - \varphi}{\omega} + \frac{\varphi}{\omega} \right] = \frac{\pi}{\omega}.$$

Визначимо похибку, яка може формуватися на виході ФД при значній зміні амплітуди сигналу. Вона може змінюватися в межах від нуля (якщо амплітуда сигналу дорівнюватиме номінальному значенню $A_i = A_0$) до величини

$$\delta = \frac{\frac{\pi}{\omega} - \frac{2}{\omega}}{\frac{2}{\omega}} * 100 \% = \frac{\pi - 2}{2} * 100 \% = 57 \%.$$

Отже, похибка ФД значно зменшується (якщо похибку вважати симетричною, то можна припускати, що похибка становить не більше $\delta = \pm 28,5\%$).

Більшість типів ФД характеризуються похибкою методу, тобто залежністю вихідного параметра не тільки від вхідного інформаційного параметра, нелінійністю вихідної характеристики тощо.

Серед багатьох типів ФД виділяється технічне рішення [2,3], в якому відсутня похибка методу перетворення сигналу. У цьому рішенні використаний метод двоканального перетворення вхідного сигналу. Перший канал формує вихідний сигнал, який залежить від амплітуди вхідного сигналу, а другий – від амплітуди та фази. Діленням цих двох величин отримується вихідний сигнал ФД, який залежить тільки від фази вхідного сигналу. На рис. 2 показана структурна схема ФД, за якою розглянемо особливості методу двоканального перетворення вхідного сигналу.

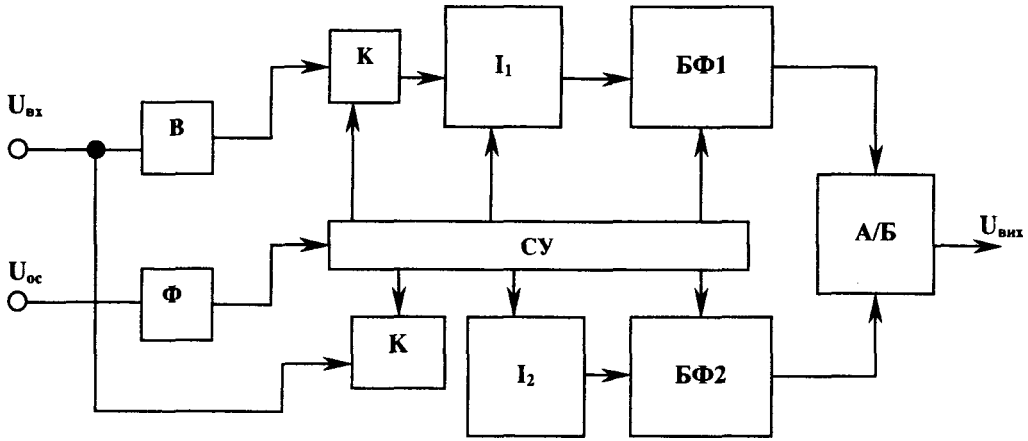


Рис. 2. Структурна схема двоканального ФД

До складу ФД входять двопівперіодний випростувач В, формувач Ф, електронні ключі К, інтегратори І1, І2, блоки фіксації аналогових сигналів БФ1, БФ2, аналоговий подільник А/В. Двопівперіодний випростувач В виконує операцію отримання модуля від вхідного сигналу і тому вихідний сигнал на виході інтегратора І1 є інтеграл від модуля вхідного сигналу

$$U_{вих1} = \frac{1}{\tau} \int_0^{(\pi-\varphi)\omega} A \sin(\omega t + \varphi) dt - \frac{1}{\tau} \int_{(\pi-\varphi)\omega}^{\frac{\pi}{\omega}} A \sin(\omega t + \varphi) dt = \frac{2A}{(\tau\omega)},$$

де $U_{вих1}$ – сигнал на виході інтегратора І1; А – амплітуда вхідного сигналу; π/ω – період інтегрування; τ – стала інтегрування; φ – фазовий зсув; ω – кругова частота вхідного сигналу;

На виході другого інтегратора формується сигнал інтегральної оцінки фази

$$U_{вих2} = \frac{1}{\tau} \int_0^{\frac{\pi}{\omega}} A \sin(\omega t + \varphi) dt = \frac{2A}{(\tau\omega)} \cos \varphi.$$

На аналоговий подільник А/В надходять два сигнали $U_{вих1}$ і $U_{вих2}$, а вихідний сигнал ФД

$$U_{вих} = \frac{U_{вих2}}{U_{вих1}} = \frac{\frac{2A \cos \varphi}{(\tau\omega)}}{\frac{2A}{(\tau\omega)}} = \cos \varphi$$

Отже, вихідний сигнал ФД не залежить від зміни амплітуди вхідного сигналу. Ще одна особливість – інформація про фазовий зсув оцінюється в ФД із запізненням на один період сигналу. Це досить висока швидкодія ФД порівняно з балансним ФД.

У балансному фазовому детекторі стала часу фільтра набагато більша, ніж період сигналу і тому швидкодія двоканального ФД значно вища.

Відсутність похибки методу – це важлива особливість методу двоканального детектування. Це не означає, що такі ФД не будуть мати взагалі похибок перетворення. Похибка буде формуватись залежно від якості технологічних параметрів і характеристик окремих вузлів ФД.

Розглянемо варіанти реалізації подільника A/B . Можна використати засоби аналогової обчислювальної техніки. Однак ця гілка обчислювальної техніки не виправдано знаходиться в занепаді і більшість задач стараються розв'язати за допомогою цифрових засобів обчислювальної техніки. Переваги і недоліки цифрової обчислювальної техніки розглядати не будемо, вони і так очевидні. Якщо необхідно виконати одну арифметичну операцію, то доцільно передусім розглянути можливість її реалізації за допомогою засобів аналогової обчислювальної техніки.

Арифметичні операції додавання і віднімання в аналоговій обчислювальній техніці не складно виконуються за допомогою операційних підсилювачів, які називають розв'язуючі. Арифметичні операції множення і ділення виконуються складніше. Один з можливих варіантів є з використанням квадраторів, тобто пристроїв, які виконують операцію піднесення числа у степінь (у цьому випадку у другу). Для ділення і множення двох величин A і B можна використати такі алгебраїчні дії:

$$(A + B)^2 = A^2 + 2AB + B^2 \quad ,$$

$$(A - B)^2 = A^2 - 2AB + B^2 \quad .$$

Якщо відняти ці два рівняння, то отримаємо

$$(A + B)^2 - (A - B)^2 = 4AB \quad ,$$

де A і B можуть бути напруги постійного струму. Якщо на виході схеми, яка реалізує ці рівняння, поставити резистивний подільник, який ділить вхідний сигнал на чотири, то результат буде $A \cdot B$.

Якщо нам необхідно поділити два числа, наприклад A/B , то треба спочатку виконати дію $M=1/B$. Далі рівняння буде виглядати так:

$$(A + M)^2 - (A - M)^2 = 4AM \quad ,$$

$$\frac{4AM}{4} = AM = \frac{A}{B} \quad .$$

Оскільки операції додавання і віднімання виконуються за допомогою операційних підсилювачів з досить високою точністю, основна проблема це виконати дві дії $y = \frac{1}{x}$; $y = x^2$.

В аналоговій техніці не дуже складно виконати електронні схеми, які виконують дії $y = \frac{1}{x}$; $y = x^2$, вхідними сигналами яких є напруги постійного струму. Це можуть бути схеми з кусково-лінійною апроксимацією, можуть бути комбіновані параметричні схеми, які реалізують необхідні функції. Розглянемо структурну схему аналогового пристрою, який буде виконувати дію ділення двох величин. Така схема зображена на рис.3.

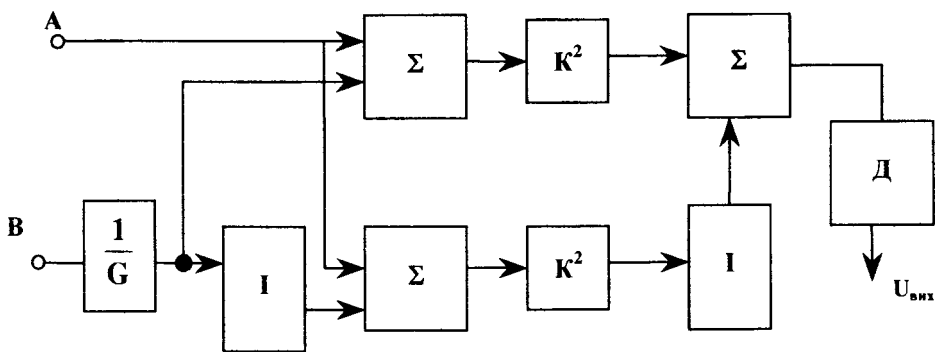


Рис. 3. Структурна схема аналогового подільника двох величин

$\frac{1}{G}$ – пристрій, який виконує операцію $(1/x)$, де x – вхідна величина; I – інвертор, який мінє знак вхідного сигналу на протилежний; амплітуда не змінюється; Σ – суматор, який підсумовує два сигнали, з врахуванням амплітуд і їх полярностей; K^2 – пристрій, який виконує операцію x^2 , де x – вхідна величина; D – подільник на 4, який забезпечує зменшення амплітуди вхідного сигналу в чотири рази.

Звичайно, досягнути абсолютної точності в такій досить складній схемі непросто. Якщо забезпечити похибку ділення не більше 1–2 % , то це звичайно був би успіх. Особливо, якщо згадати, що в звичайних схемах ФД похибка може досягати десятки, а то і сотні відсотків, якщо не виконувати спеціальних заходів усунення впливу зміни результату перетворення від зміни амплітуд вхідних сигналів.

Дію ділення можна реалізувати, використовуючи комбіновані аналогово-цифрові схеми. На сьогоднішньому етапі розвитку мікроелектроніки найвищого показника інтеграції досягнуто для елементів електронної пам'яті. У зв'язку з цим можна ефективно використати структурну схему для ділення двох чисел

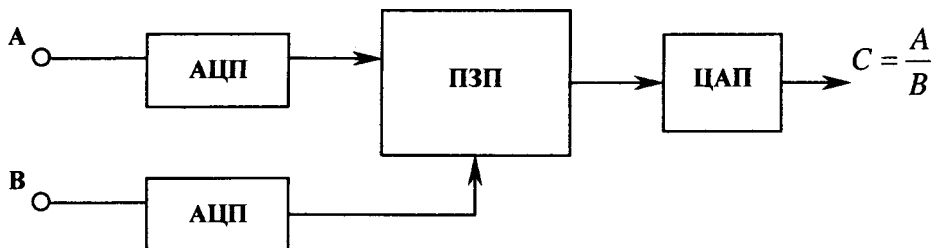


Рис. 4. Структурна схема аналогово-цифрового пристрою для ділення двох аналогових величин

АЦП – аналогово-цифровий перетворювач; ЦАП – цифро-аналоговий перетворювач; ПЗП – постійний запам'ятовуючий пристрій;

Швидкодія такого пристрою може бути досить висока – частки чи одиниці мікросекунд. Похибка перетворення АЦП і ЦАП не більше 0,1 % не є недосяжним параметром. Можна реалізувати похибку і на порядок меншу, але ми не ставимо задачу використовувати технічні рішення з граничними можливостями. Єдиний важливий параметр – це об'єм пам'яті і похибка, яка може бути при цьому об'ємі реалізована. Для забезпечення похибки ділення не більше 1% необхідно мати об'єм пам'яті $100 \cdot 100 = 10000$ одnobайтних слів, що не складно виконати. Загальна похибка пристрою буде трохи більшою від 1 %.

Для того, щоб зменшити об'єм ПЗП і його розміри , використовують схему на рис. 5.



Рис. 5. Аналогово-цифровий функціональний перетворювач

За допомогою схеми (рис. 5) можна отримати реалізацію функції $y = \frac{1}{x}$, $y = x^2$.

В такому випадку об'єм пам'яті ПЗП буде на кілька порядків зменшений. Але остаточне рішення потрібно було би приймати, маючи конкретні умови:

- умови експлуатації;
- допустимі похибки;
- допустима елементна база;
- вартість пристроїв при серійному випуску, вартість розробки.

Виконаємо оцінку можливої похибки для пристрою, структурна схема якого зображена на рис. 3. Якщо допустити , що похибка перетворення пристроїв $\frac{1}{G}$, Σ , K^2 , I , D не перевищує 0,1 %, то за середньоквадратичною оцінкою похибка ділення двох аналогових величин $A:B$ буде виконуватись з найбільш ймовірною похибкою

$$\delta_g = \sqrt{\delta_{\frac{1}{G}}^2 + 3\delta_{\Sigma}^2 + 2\delta_K^2 + \delta_I^2 + \delta_D} = \sqrt{9 \cdot 0.1^2} = 0.3\%$$

Похибка ділення А:В за допомогою пристрою, який показаний на рис. 5, буде

$$\delta = \sqrt{\delta_A^2 + \delta_{\Pi}^2 + \delta_y^2} = \sqrt{3 \cdot 0,1^2} = 0,17\%.$$

де δ_A – похибка перетворення АЦП; δ_{Π} – похибка дискретності ПЗП; δ_y – похибка перетворення УАП.

Розглянемо загальну похибку ФД. Якщо задатись такими величинами похибок :

$$\delta_B = 0,5\% , \quad \delta_K = 0,1\% , \quad \delta_I = 0,1\% , \quad \delta_{\Phi} = 0,5\% , \quad \delta_{A/B} = 0,3\%$$

то загальна середньоквадратична похибка буде не більше

$$\delta_{\Phi Д} = \sqrt{\delta_B^2 + 2\delta_K^2 + 2\delta_I^2 + 2\delta_{\Phi}^2 + \delta_{A/B}^2} = \sqrt{0,5^2 + 2 \cdot 0,1^2 + 2 \cdot 0,1^2 + 2 \cdot 0,5^2 + 0,3^2} \leq 1\%$$

Розглянуті технічні рішення і навіть поверхневий аналіз похибки фазового детектування показує, що задачу підвищення точності детектування можна успішно розв'язувати. Залишається одне запитання – яке рішення прийняти, для виконання операції ділення двох сигналів, якщо ці сигнали є напруги постійного струму. Можна використовувати цифрові схеми, комбіновані – аналого-цифрові та аналогові схеми. У цій статті показано, що і комбіновані схеми, і аналогові дають непоганий результат при незначних затратах. Перевагою аналогового варіанта для розв'язання задачі підвищення точності може бути таке. Якщо ФД реалізується за структурною схемою рис. 2 (в якій використовуються операційні підсилювачі), то застосування аналогової схеми для ділення А:В є гармонійним рішенням, тому що додаються аналогові елементи – операційні підсилювачі. Досягнення основної задачі – зменшення похибки фазового детектування забезпечується більше ніж на порядок.

1. Панфілов И.П., Дырда В.Е Теория электрической связи. – М.: Радио и связь, 1991. – 334с. 2. А.С. 1298841 СССР // Фазовый детектор / Иванців Р.-А.Д., Романюк С.Ф., Сакаль В.М. // Бюлетень изобретений, – 1987, – №11. 3. Иванців Р., Иванців Л., Парамуд Я. Метод підвищення точності фазового детектування // Вісник ДУ „Львівська політехніка”, №386, – Львів. 1999, – с. 209–212.