

ІНСТРУМЕНТАЛЬНІ ЗАСОБИ АВТОМАТИЗОВАНОГО ПРОЕКТУВАННЯ

УДК.004.9

В.Т. Кремінь, Є.Г. Міюшкович

Національний університет “Львівська політехніка”,
кафедра електронних обчислювальних машин

ДЕЯКІ АСПЕКТИ ВИКОРИСТАННЯ САПР “PSOC DESIGNER” ПРИ РЕАЛІЗАЦІЇ ШІ МОДУЛЯТОРІВ З ВИСОКОЮ РОЗДІЛЬНОЮ ЗДАТНІСТЮ

© Кремінь В.Т., Міюшкович Є.Г., 2005

Описаний широтно-імпульсний (ШИ) модулятор із покращаним, порівняно з традиційними рішеннями, співвідношенням між роздільною здатністю та частотою вихідного сигналу.

This paper presents high speed, high resolution PWM source which allows breaking limitations of traditional PWM sources in the output signal frequency/resolution combination.

Постановка проблеми. Однією з типових задач, що постають при розробленні мікроконтролерної системи керування, є генерація сигналів з широтно-імпульсною (ШИ) модуляцією. Класичними прикладами є сучасні імпульсні джерела живлення, т.зв. «інтелектуальні» зарядні пристрої та схеми керування електродвигунами. Реалізовані в ряді мікроконтролерів апаратні широтно-імпульсні (ШИ) модулятори на основі лічильників та компараторів [1] мають принципово обмежене співвідношення між точністю та частотою сформованого сигналу, що робить їх непридатними для розв’язання низки задач.

Ілюстрація вищезгаданих обмежень та способів їхнього подолання буде виконана на прикладі сучасної програмованої системи обробки змішаних сигналів (надалі ПСОЗС) PSoC™ Mixed Signal Array виробництва фірми Cypress Microsystems та відповідної САПР “PSoC Designer™”. Такий вибір зумовлений широкими функціональними можливостями ПСОЗС, які вповні підтримуються оригінальною САПР.

Варіанти реалізації ШІ модуляторів у САПР “PSoC Designer”. В бібліотеці САПР “PSoC Designer” наявні два варіанти цифрових ШІ модуляторів (PWM8 та PWM16), які відрізняються лише розрядністю (8 та 16 біт відповідно). Якщо звернутися до технічної документації ПСОЗС «PSoC™» [1], то стає зрозумілим, що обидва модулятори реалізовані за класичною схемою «лічильник–компаратор». Детальне ознайомлення з особливостями внутрішньої будови ПСОЗС «PSoC™» дає нам змогу запропонувати принаймні ще два способи реалізації ШІ модуляторів:

- 1) ШІ модулятор типу «лічильник–компаратор»;
- 2) ШІ модулятор на основі генератора псевдовипадкових послідовностей;
- 3) ШІ модулятор на основі аналогового сигма-дельта модулятора;

Розглянемо ці три способи детальніше.

ШИ модулятор типу «лічильник–компаратор». Цей підхід є класичним. На декрементуючий лічильник із фіксованим періодом подається тактова частота. Цифровий компаратор порівнює поточне значення лічильника з наперед встановленим пороговим значенням та видає високий вихідний сигнал у разі виконання умови «лічильник менший» («лічильник менший або дорівнює»). У такому разі коефіцієнт заповнення імпульсу ШІ модулятора визначається таким виразом:

$$D_c = \frac{T_{th} + \partial}{T_p}, \partial = \overline{0 \dots 1} \quad (1)$$

де T_p – період лічильника, який дорівнює збільшеному на одиницю значенню регістра «counter period», T_{th} – порогове значення компаратора, δ – константа, яка визначається режимом компаратора («менше» або «менше–дорівнює»).

Частота вихідного сигналу F_{out} визначається тактовою частотою ШІ модулятора F_{clk} та періодом лічильника:

$$F_{out} = \frac{F_{clk}}{T_p} \quad (2)$$

Роздільна здатність ШІ-модулятора ΔD_c визначається дискретною природою лічильника та компаратора і пов'язана з періодом лічильника таким співвідношенням:

$$\Delta D_c = \frac{1}{T_p} \quad (3)$$

З виразів (2) та (3) можна отримати таке співвідношення між ΔD_c , F_{clk} та F_{out} :

$$F_{out} = \Delta D_c \cdot F_{clk} \quad (4)$$

Отже, збільшення роздільної здатності ШІ-модулятора пропорційно зменшує частоту вихідного сигналу. При максимальній опорній частоті 48 МГц та роздільній здатності 0.5% (8 біт) ми можемо отримати вихідний сигнал з частотою лише 240 кГц, що може виявитися недостатнім.

ШІ-модулятор на основі генератора псевдовипадкових послідовностей. При другому підході в ролі ШІ модулятора використовують стандартний бібліотечний генератор псевдовипадкових послідовностей (ПВП), який виробляє періодичний псевдовипадковий бітовий потік з максимальним періодом $T_p = 2^N - 1$ періодів опорної частоти, де N це розрядність регістра зсуву (в PSoC кратна 8). Якщо з бітового потоку сформувати байти, то їхні значення рівномірно розподіляться в інтервалі $1..2^{N-1}$. Оскільки ці значення порівнюються з деяким фіксованим порогом, то ймовірність того, що згенероване значення буде меншим за порогове, є прямо пропорційною до величини порогу. Іншими словами, кількість випадків, коли значення регістра зсуву є меншим за порогове, прямо пропорційна до порогового значення за умови псевдовипадкової періодичної послідовності. Отже, коефіцієнт заповнення імпульсу є прямо пропорційним до значення компаратора.

Зауважимо, що вихідний сигнал генератора ШІМ на основі ПВП складається з імпульсів змінної ширини та пауз між ними. Максимальна довжина одиничних та нульових послідовностей визначається твірним поліномом генератора ПВП та значенням компаратора. Псевдовипадкова послідовність може трактуватися як періодичний сигнал, частотний спектр якого розподілений в широкому діапазоні, починаючи від частоти $F_{clk}/(2^N - 1)$. Роздільна здатність ШІ-модулятора другого типу так само визначається виразом (3), що пов'язано з дискретною природою першого та другого підходів.

ШІ модулятор на основі аналогового сигма-дельта модулятора. Одним з елегантних способів формування сигналів із змінним коефіцієнтом заповнення є використання вбудованого аналогового сигма-дельта модулятора PSoC. Модулятор забезпечує синхронний вихідний бітовий потік, в якому співвідношення кількості одиничних біт до загальної кількості біт є прямо пропорційним до величини вхідного сигналу (в усталеному режимі). Отже, коефіцієнт заповнення імпульсу однозначно пов'язаний з рівнем вхідного сигналу. Завдяки рівномірному розподілу нулів та одиниць у вихідному потоці застосування аналогових фільтрів дає змогу отримати аналоговий сигнал із малими спотвореннями.

Квант коефіцієнта заповнення сигма-дельта модулятора обмежується, переважно, шумами та квантом вхідної напруги, хоча точність може бути підвищена збільшенням інтервалу інтегрування [2]. Сигма-дельта модулятори ПСОЗС PSoC працюють на опорних частотах до 2 МГц. Як джерело вхідної напруги можна використати вбудований конденсаторний ЦАП.

Постановка задачі. Всі три розглянуті підходи не дають змоги безпосередньо реалізувати ШІ-модулятор з роздільною здатністю 12 – 14 біт, оскільки у такому разі максимальна частота

вихідного сигналу лежить в звуковому діапазоні, чого явно недостатньо для більшості застосувань (наприклад, сучасні імпульсні регулятори напруги працюють на частотах близько 100 кГц.).

Отже, необхідно розробити схему ШІ-модулятора, у якого співвідношення між частотою та роздільною здатністю буде принаймні в десять разів вищим, ніж у стандартного модулятора. Необхідно використовувати лише стандартні компоненти бібліотеки САПР “PSoC Designer” та уникнути використання зовнішніх елементів та з’єднань. Розроблення такої схеми дасть змогу розширити сферу застосування дешевих ПСОЗС типу “PSoC”, а отже ця задача є актуальною.

Описання запропонованого рішення. Одним з простих шляхів побудови ШІ-модуляторів з високою роздільною здатністю є мультиплексування вихідних сигналів двох ШІ модуляторів з різними коефіцієнтами заповнення, що породжує ШІ-модульований сигнал з проміжним коефіцієнтом заповнення. Функціональна схема такого ШІ-модулятора наведена на рис. 1.

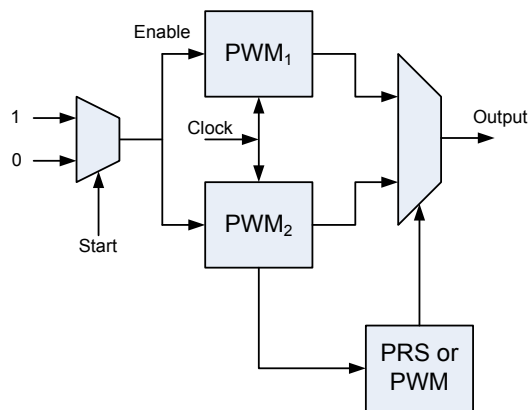


Рис. 1. Функціональна схема ШІ-модулятора

Припустимо, що ми маємо два ШІ-модулятори з однаковим періодом T_{PWM} , але з різними пороговими рівнями: T_{th1} та T_{th2} . Також припустимо, що $T_{th2} = T_{th1} + 1$ та $T_{PWM} + 1 = T_p$. Коефіцієнти заповнення цих джерел визначаються як:

$$D_{c1} = \frac{T_{th1}}{T_p}; \quad D_{c2} = \frac{T_{th1} + 1}{T_p}. \quad (5)$$

Мультиплексування сигналів від цих двох джерел здійснюється залежно від рівня (0 чи 1) третього керуючого сигналу з коефіцієнтом заповнення D_{c3} . Коефіцієнт заповнення результуючого сигналу визначається таким виразом:

$$D_{eff} = (1 - D_{c3}) D_{c1} + D_{c3} D_{c2}. \quad (6)$$

Змінюючи D_{c3} в межах $0 \dots 1$, ми можемо здійснювати значення D_{eff} в межах між D_{c1} та D_{c2} , з кроком, що визначається кроком D_{c3} . Нехай D_{c3} може набувати T_m можливих значень (квантів) або подається у вигляді :

$$D_c = \frac{T_{th3}}{T_m}, \quad (7)$$

де T_{th3} – змінна, що визначає коефіцієнт заповнення мультиплексувального сигналу. Наприклад, для звичайного ШІМ сигналу, T_{th3} це порогове значення, T_m – період ШІМ.

Підставляючи вирази (5) та (7) в (6), отримаємо:

$$D_{eff} = \frac{1}{T_p} \left(T_{th1} + \frac{T_{th3}}{T_m} \right). \quad (8)$$

Отже, один квант T_{th1} розділений на ряд менших фрагментів відповідно до значення T_m . Для практичного використання (8) необхідно ввести правило обчислення T_{th1} та T_{th3} для довільних значень D_{eff} . Пропонується таке правило:

- 1) Вибираємо T_p та T_m відповідно до частоти та роздільної здатності вихідного сигналу. Мінімальний квант коефіцієнта заповнення імпульсу визначаємо з виразу (8) як $(T_p \cdot T_m)^{-1}$.
- 2) Масштабуємо D_{eff} множенням D_{eff} на T_p . Цілу частину добутку приймаємо за T_{th1} .
- 3) Дробову частину цього добутку множимо на T_m . Цілу частину результату приймаємо за T_{th3} .

Рекомендується вибирати значення T_p та T_m як степені двійки, що дає змогу обчислювати значення T_{th1} та T_{th3} з використанням операцій двійкового зсуву. Тоді коефіцієнт заповнення представляється як відношення двох цілочислових змінних і його значення максимальне значення (100%) також є степенем двійки. Припустимо, ми вибрали $T_p=64$ та $T_m=256$ що відповідає ефективній роздільній здатності ШІ модулятора у 14 біт. Молодші 8 біт визначають коефіцієнт заповнення мультимплексувального сигналу, а 6 старших біт – коефіцієнт заповнення лічильників.

Зауваження: щоб запобігти перегонам сигналів, мультимплексувальний сигнал повинен бути синхронізований з тактовою частотою ШІ-модулятора, що досягається використанням як його джерела виходу *Terminal Count* вбудованого лічильника PSoC. Джерелом мультимплексувального сигналу може бути будь-який з описаних в п.2 ШІ-модуляторів:

- Стандартний ШІ модулятор типу «лічильник–компаратор».
- ШІ модулятор на основі генератора псевдовипадкових послідовностей.
- Сигма-дельта модулятор з опорним ЦАП.

Останні два варіанти забезпечують менше спотворення вихідного сигналу після аналогової фільтрації, що зумовлюється рівномірнішим розподілом 0 та 1 у їхньому вихідному потоці (див. вище). Тому рекомендується використання саме цих варіантів.

Приклад реалізації

Вище був описаний спосіб побудови ШІ-модулятора з високою роздільною здатністю на основі мультимплексування сигналів двох ШІ-модуляторів з різними коефіцієнтами заповнення сигналом третього. В цьому прикладі розглянемо побудову 14 розрядного ШІ модулятора на 375 кГц. Звичайний ШІ-модулятор на лічильнику при такій роздільній здатності спроможний працювати лише на частоті до 3 кГц, що є у 120 разів нижче! Це джерело може бути використане як дешевий аудіо-ЦАП або контролер імпульсного стабілізатора. Можна легко збільшити частоту вихідного сигналу до декількох МГц із відповідним зменшенням роздільної здатності. Наприклад, можна створити 12 розрядний ШІ-модулятор з частотою вихідного сигналу 1,5 або 3,0 МГц (опорні частоти 24 або 48 МГц відповідно), зменшуючи періоди базових ШІ модуляторів.

Для прикладу візьмемо мікросхему типу CY8C27xxx. Схема розташування цифрових блоків та внутрішніх зв'язків наведена на рис. 2. Зображення отримане в САПР «PSoC Designer» версії 4.2.

Два ШІ-модулятора PWM8_A та PWM8_B мають однакові період та порогове значення. Для зсуву на 1 такт PWM8_A має тип порівняння "Less than", а PWM8_B – "Less than or Equal". Така комбінація режимів дає змогу встановлювати коефіцієнти заповнення PWM8_A та PWM8_B такими, що дорівнюють 0 та 100% відповідно. Лічильники ШІ-модуляторів тактуються від одного джерела SysCLK в режимі "Use SysCLK direct". Для уникнення спотворень лічильники повинні бути запуснені синхронно.

Тактовий сигнал для мультимплексувального ШІ-модулятора заводиться з виходу «Terminal count» одного з двох основних модуляторів, що забезпечує синхронність роботи всіх трьох блоків. У разі використання модулятора на основі ПВП (PSR PWM) використовується режим порівняння "Less than or Equal". Для традиційного модулятора режим порівняння змінюється на "Less than".

Мультимплексор 2-в-1 утворюється за допомогою трьох вбудованих блоків елементарної логіки (2 блоки «І» та 1 блок «АБО»). Мультимплексор керується сигналом через шину Row_0_Output_1. Використання одного з цифрових блоків в режимі «Digital buffer» дає змогу здійснити розведення сигналів в межах PSoC без використання зовнішніх з'єднань. Якщо необхідно

звільнити цей блок, можна реалізувати зовнішнє з'єднання типу «монтажне АБО» з використанням низькоомних резисторів.

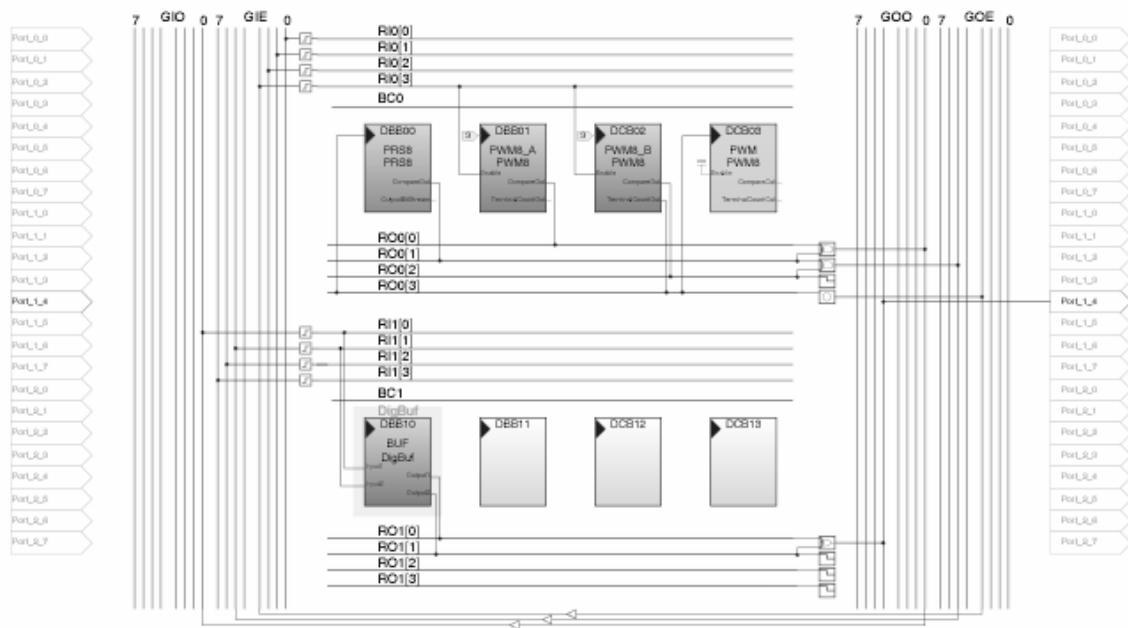


Рис. 2. Топологія III модулятора

Зауваження: при трасуванні важливо забезпечити баланс затримки сигналів в обох ШІМ каналах. У разі порушення цієї вимоги можливе зниження ефективної роздільної здатності модулятора на цілих три біти!

Експериментальні дослідження. Реалізація вищеприписаного проекту за допомогою відлагоджувального модуля САПР «PSoC Designer» дала змогу проаналізувати лінійність передавальної характеристики ШІ модулятора. Це здійснювалося вимірюванням його вихідної напруги при різних значеннях вхідних кодів. Наведені на рис. 3 фрагменти передавальної характеристики ілюструють моменти зміни значень коефіцієнтів заповнення для двох варіантів мультиплексувального ШІ модулятора. Легко помітити, що при використанні традиційного модулятора на лічильнику лінійність зберігається на всьому інтервалі значень вхідних кодів.

Інша ситуація складається при використанні модулятора на основі генератора псевдовипадкових послідовностей. Оскільки період повторення тут становить $2^8 - 1 = 255$, а не 256, то виникає похибка у коефіцієнті заповнення, яка є пропорційною до порогового значення. Максимальне відхилення становить 1 біт, що не викликає істотних проблем у більшості застосувань, оскільки компенсується рівномірнішим перемішуванням вихідних сигналів базових модуляторів.

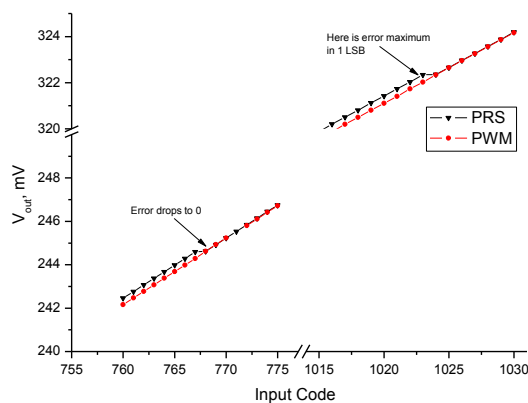


Рис.3. Фрагменти передавальної характеристики модулятора

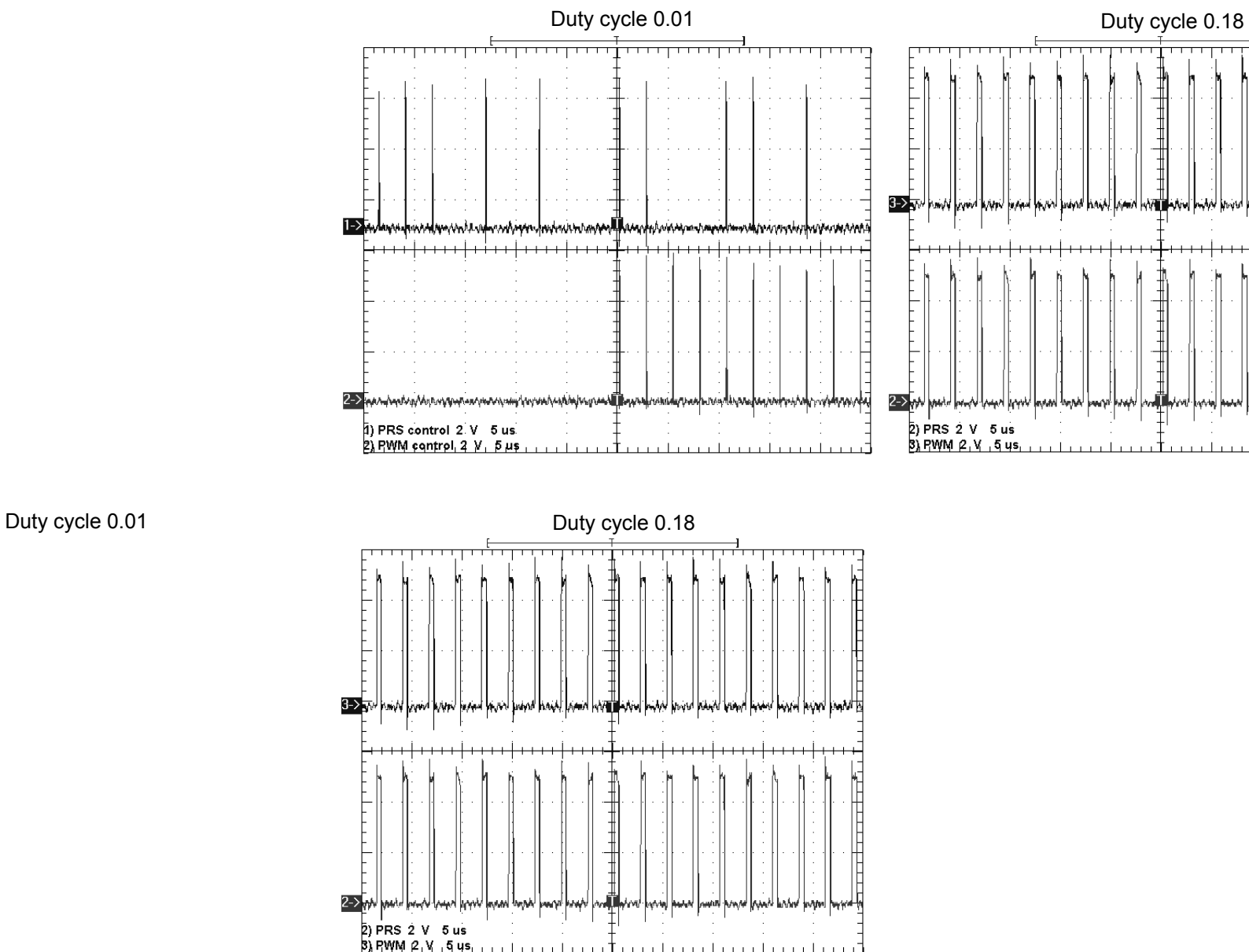


Рис.4. Форма вихідних сигналів для обох варіантів мультиплекуючого модулятора

Наведені на рис. 4 осцилограми вихідної напруги модулятора демонструють, що у випадку малого коефіцієнта заповнення мультиплексування генератором псевдовипадкової послідовності забезпечує рівномірніший розподіл імпульсів.

Висновки. На прикладі ПСОЗС “PSoC” та САПР “PSoC Designer” виробництва фірми “Cypress Microsystems” проаналізовано типові недоліки традиційних цифрових ШІ модуляторів. Стандартними засобами САПР вдалося реалізувати альтернативну схему побудови ШІ модулятора з кращими параметрами.

Запропоноване рішення може бути використане при побудові імпульсних блоків живлення та зарядних пристроїв з мікропроцесорним керуванням.

1. *PSoC Technical Reference Manual. Rev 1.21* (<http://www.cypress.com>). 2. *Principles of Sigma-Delta Modulation for Analog-to-Digital Converters*, (http://www.web-ee.com/primers/files/Sigma_Delta_Principles.pdf).