

На завершальному етапі на основі одержаної матричної структури об'єднуємо одержані впродовж попередніх етапів значення циклічних згортки  $i$ , компонуючи послідовно одержані частини, обчислюємо вихідні значення дійсних дискретних коефіцієнтів ДКП.

**Висновки.** У роботі показано, як на основі переставлення елементів вхідної послідовності обчислюється ДКП за допомогою ефективних алгоритмів згортки. Визначення твірного масиву, за яким відбувається переставлення, не потребує спеціальних обчислень і визначається на основі двох рядків матриці аргументів (4). Використання твірного масиву  $P(z)$  приводить до однотипового підходу до проведення обчислення ДКП при проектуванні мікроелектронних обчислювальних засобів послідовностей довільного обсягу. Окреме обчислення циклічних згортки, за яким структуровано базис ДКП, а також подальше об'єднання одержаних результатів дає змогу розпаралелювати процес обчислення і підвищувати швидкодію опрацювання інформації.

1. S. Lawrence Marple, Jr., *Digital spectral analysis with applications*, NJPrentice-Hall, 1987.  
2. Bjeng Gi Lee, *A new algorithm to compute the discrete cosine transform.*/IEEE Trans. On Ac.,Sp., and Sign. Proc. – 1984. – №6, vol. 32. – P. 1243–1245. 3. Rader C.M. *Discrete Fourier transform when the number of data samples is prime.* Proc. IEEE. – 1968. – 56. 4. Gilbert Strang, *The Discrete cosine transform* / SIAM Review. – 1999. – Vol. 41. – P. 135–147. 5. Макклеллан Дж.Х., Рейдер Ч.М. *Применение теории чисел в цифровой обработке сигналов: Пер. с англ.* – М.: Радио и связь, 1983.

УДК 681.325

О. Березький, І. Цмоць\*

Тернопільський національний економічний університет,  
\*Національний університет “Львівська політехніка”,  
кафедра автоматизованих систем управління

## МЕТОДИ ТА НВІС-СТРУКТУРИ ДЛЯ МНОЖЕННЯ МАТРИЦІ НА МАТРИЦЮ У РЕАЛЬНОМУ ЧАСІ

© Березький О., Цмоць І., 2007

**Розроблено нові, орієнтовані на НВІС-реалізації методи, алгоритми та структури для послідовного, паралельно-послідовного та паралельно-паралельного множення матриці на матрицю у реальному часі з високою ефективністю використання обладнання.**

**The new methods, algorithms and structures oriented on VLCI-realization are developed for the serial, parallel-serial and parallel-parallel multiplying of matrix by a matrix in real-time with high efficiency of the use of equipment.**

**Вступ.** Для синтезу текстурних зображень різних типів перспективним підходом є функціональний (процедурний), який використовує функції (алгоритми, процедури) для побудови зображення [1]. При цьому вихідне зображення може бути представлене в матричному вигляді, а процедури перетворення (афінні перетворення) також представляються в матричному вигляді [2]. У випадку, якщо час генерування некритичний (статичні зображення), використовують програмний спосіб перемноження матриць. Динамічні зображення вимагають синтезу текстур у реальному часі. Це накладає жорсткі вимоги до часу синтезу. Для зменшення часу обчислення реалізують алгоритми перемноження матриць на апаратному рівні. Сучасні відеокарти мають вбудовані графічні процесори, які дають змогу апаратно реалізовувати алгоритми множення матриць [3]. Інший шлях – це проектування спецпроцесорів на програмованих логічних інтегральних схемах за, якими будують структури для послідовного, паралельно-послідовного та паралельно-паралельного множення матриці на матрицю у реальному часі з високою ефективністю використання обладнання [4–12].

Традиційно множення матриці на матрицю здійснюється за такою формулою:

$$Y_{lj} = \sum_{k=1}^n A_{lk} B_{kj}, \quad 1 \leq l \leq n, \quad 1 \leq j \leq n. \quad (1)$$

Отримання результуючої матриці  $Y$  передбачає виконання  $n^2$  однотипних макрооперацій множення  $l$ -го рядка матриці  $A_l$  на  $j$ -й стовпчик  $B_j$ , кожна з яких вимагає виконання  $n$  множень і  $n$  додавань [12–14]. Для отримання результуючої матриці  $Y$  необхідно виконати  $n^3$  множень і  $n^3$  додавань.

Існують два підходи до апаратної реалізації множення матриці на матрицю [14]. Перший з них ґрунтується на операціях множення, додавання, другий – на операціях додавання, інверсії та зсуву. Перший підхід переважно використовують під час синтезу пристроїв множення матриці на матрицю на базі окремих мікросхем (помножувачів, суматорів), а другий – при НВІС-реалізаціях. Використання для НВІС-реалізацій базису елементарних арифметичних операцій (додавання, інверсії та зсуву) дає змогу оптимізувати пристрій за швидкодією, апаратними витратами та збільшити регулярність його структури. Загальна кількість елементарних арифметичних операцій, яка необхідна для реалізації макрооперації множення матриці на вектор, дорівнює:

$$R = n^3(r + 1),$$

де  $r$  – розрядність операндів.

У значній частині застосувань множення матриці на матрицю необхідно виконувати над інтенсивними потоками даних у реальному часі на апаратних засобах з високою ефективністю використання обладнання. Забезпечити такі вимоги можливо шляхом використання конвеєрних паралельно-потоківих НВІС-пристроїв, структура яких відображає алгоритм множення матриці на матрицю та враховує інтенсивність надходження потоків даних

$$P_d = kgF_d, \quad (2)$$

де  $k$  – кількість каналів надходження даних,  $g$  – розрядність даних,  $F_d$  – частота надходження даних.

Для НВІС-реалізацій операційних пристроїв множення матриці на матрицю ефективність використання обладнання – це інтегральний параметр, який враховує кількість виводів інтерфейсу, однорідність структури, кількість і локальність зв'язків, зв'язує продуктивність з витратами обладнання та дає оцінку елементам (вентиліям) пристрою за продуктивністю [12, 14]. Кількісна величина ефективності використання обладнання визначається так:

$$E = \frac{R}{t_o(k_1 \sum_{i=1}^s W_{\phi Y_i} d_i + k_2 Q + k_3 Y)}, \quad (3)$$

де  $R$  – необхідна кількість елементарних арифметичних операцій для виконання множення матриці на матрицю;  $t_o$  – час множення матриці на матрицю,  $W_{\phi Y_i}$  – витрати обладнання у вентилях на реалізацію  $i$ -го функціонального вузла,  $d_i$  – кількість функціональних вузлів  $i$ -го типу,  $k_1$  – коефіцієнт врахування однорідності  $k_1=f(s)$ ,  $s$  – кількість видів функціональних вузлів,  $Q$  – загальна кількість зв'язків,  $k_2$  – коефіцієнт врахування регулярності зв'язків  $k_2=f(\Delta j)$ ,  $\Delta j$  – просторова зв'язкова віддаль,  $Y$  – кількість виводів інтерфейсу,  $k_3$  – коефіцієнт врахування кількості виводів інтерфейсу зв'язку  $k_3=f(Y)$ .

Для множення матриці на матрицю у реальному часі необхідно узгодити інтенсивність надходження даних  $P_d$  з пропускною здатністю конвеєра НВІС-пристрою  $D_k = F_k m h$ , де  $F_k$  – тактова частота роботи конвеєра,  $m$  – кількість трактів обробки,  $h$  – розрядність каналів надходження даних. У випадку, якщо  $m$  – величина постійна, такого узгодження досягають зміною частоти роботи конвеєра  $F_k$  або вибором розрядності  $h$  каналів надходження даних. Задача проектування НВІС-структур множення матриці на матрицю з високою ефективністю використання зводиться до мінімізації апаратних затрат при забезпеченні режиму реального часу.

У статті запропоновано нові методи і структури для множення матриці на матрицю, які ґрунтуються на елементарних арифметичних операціях і орієнтовані на НВІС-реалізації та на узгодження обчислювальної здатності з інтенсивністю надходження даних.

**Методи та алгоритми множення матриці на матрицю.** Для обчислення кожного елемента  $Y_{ij}$  результуючої матриці використовуються операції множення і підсумовування добутоків. Підсумовувати добуток можна двома способами: послідовним накопичуванням і паралельним підсумовуванням. Для переходу до НВІС-алгоритмів множення матриці на матрицю у базисі елементарних операцій необхідно подати у цьому базисі операцію множення. Алгоритми множення у базисі елементарних операцій зводиться до формування та підсумовування часткових добутоків відповідно до формули:

$$c = ab = a \sum_{i=0}^{r-1} 2^{-i} b_i = \sum_{j=1}^m 2^{-(j-1)g} a K_j = \sum_{j=1}^m 2^{-(j-1)g} P_j, \quad (4)$$

де  $a$  – множене,  $b$  – множник,  $r$  – розрядність множника  $b$ ,  $b_i$  – значення  $i$ -го розряду множника,  $K_j$  –  $j$ -й коефіцієнт при множенні для формування часткового добутку,  $g$  – кількість розрядів у групі, на які розбивається множник  $b$ ,  $m$  – кількість груп, на які розбивається множник  $b$ ,  $P_j$  –  $j$ -й частковий добуток. За формуванням часткових добутоків такі алгоритми діляться на дві групи: з прямим формуванням ( $g \leq 2$ ) і з формуванням на основі попередніх обчислень ( $g \geq 3$ ). Для НВІС-реалізацій в основному використовуються алгоритми множення з прямим формуванням часткових добутоків, оскільки вони є регулярними та добре структурованими [13, 14]. Найпоширенішими з них є: множення з аналізом одного розряду множника та множення за модифікованим алгоритмом Бута [15]. Множення чисел, поданих двійковим доповняльним кодом, з аналізом одного розряду множника записується так:

$$c = ab = \sum_{i=0}^{r-1} (-1)^{2^i} 2^{-i} ab_i = \sum_{i=0}^{r-1} (-1)^{2^i} 2^{-i} P_i. \quad (5)$$

При множенні чисел за модифікованим алгоритмом Бута множник  $b$  розділяють на групи з трьох розрядів, так що сусідні групи мають один спільний розряд. Множник  $b$  ділять на групи з молодших розрядів, причому молодший розряд наймолодшої групи завжди доповнюється нулем. Множення чисел за модифікованим алгоритмом Бута записується так:

$$c = \sum_{g=0}^{p-1} 2^{-2g} a(b_{g+1} b_g b_{g-1}), \quad (6)$$

де  $p = \lceil \frac{r+1}{2} \rceil$ . Для кожної  $g$ -ї групи розрядів множника  $b_{g+1} b_g b_{g-1}$  частковий добуток формують множенням  $a$  на відповідний коефіцієнт  $K_g$ . Значення  $K_g$  визначається як сума ваг ненульових цифр групи розрядів множника  $b_{g+1} b_g b_{g-1}$ , де  $b_{g+1}$  має вагу мінус два, а  $b_g$  та  $b_{g-1}$  – одиницю. Формування коефіцієнта  $K_{gj}$  здійснюється за таким виразом:

$$K_g = \begin{cases} 2, & \text{коли } b_{g+1} = 0, b_g = b_{g-1} = 1 \\ 1, & \text{коли } b_{g+1} = 0, b_g \neq b_{g-1} \\ 0, & \text{коли } b_{g+1} = b_g = b_{g-1} \\ -1, & \text{коли } b_{g+1} = 1, b_g \neq b_{g-1} \\ -2, & \text{коли } b_{g+1} = 1, b_g = b_{g-1} = 0 \end{cases}. \quad (7)$$

Під час формування часткових добутоків операцію множення на два доцільно реалізувати зсувом на один розряд вліво, а зміну знаку – інверсією всіх розрядів множеного з подальшим додаванням одиниці до молодшого розряду. Замінивши у формулі (6) розряди  $b_{g+1} b_g b_{g-1}$  на коефіцієнт  $K_g$  отримаємо:

$$c = \sum_{g=0}^{p-1} 2^{-2g} aK_g = \sum_{g=0}^{p-1} 2^{-2g} P_g. \quad (8)$$

З формули (8) випливає, що множення за модифікованим алгоритмом Бута зводиться до формування та підсумовування часткових добутоків  $P_g$ , причому кожний  $P_g$  – частковий добуток, зсунутий відносно  $P_{g-1}$  на два розряди вправо.

Для НВІС-реалізацій макрооперації множення матриці на матрицю широко використовується метод множення чисел, які надходять послідовним кодом старшими розрядами вперед. Алгоритм виконання такого множення задається формулою [15]:

$$c = ab = \sum_{i=0}^r 2^{-i} [(a_0 a_1 \dots a_i) b_i + (b_0 b_1 \dots b_{i-1}) a_i] = \sum_{i=0}^r 2^{-i} P_i, \quad (9)$$

де  $P_i$  – частковий добуток. Згідно з таким алгоритмом при кожному надходженні розрядів множників  $a_i$  та  $b_i$  здійснюється формування і накопичення часткових добутоків відповідно до таких виразів:

$$c_i = c_{i-1} + 2^{-i} P_i, \quad (10)$$

$$P_i = \begin{cases} 0, & \text{коли } b_i = a_i = 0 \\ a_0 a_1 \dots a_i & \text{коли } b_i = 1, a_i = 0 \\ b_0 b_1 \dots b_{i-1} & \text{коли } a_i = 1, b_i = 0 \\ a_0 a_1 \dots a_{i-1} + b_0 b_1 \dots b_{i-1} & \text{коли } b_i = a_i = 1 \end{cases}, \quad (11)$$

де  $c_i$  – сума накопичених часткових добутоків,  $c_0=0$ .

Множити матрицю на матрицю можна такими методами:

- послідовним, за яким результуючу матрицю  $Y$  обчислюють послідовно елемент за елементом з використанням пристрою множення і накопичувального суматора або пристрою множення рядка на стовпчик;
- паралельно-послідовним, за якими результуючу матрицю обчислюють послідовно стовпчик за стовпчиком на базі  $n$  пристроїв множення рядка на стовпчик;
- паралельно-паралельним, за яким елементи результуючої матриці  $Y$  обчислюються паралельно з використанням  $n^2$  пристроїв множення рядка на стовпчик.

Множення матриці на матрицю ґрунтується на базових макроопераціях множення рядка на стовпчик, які зводяться до операції групового підсумовування. Алгоритм виконання базової макрооперації множення  $l$ -го рядка  $A_l$  на  $j$ -й стовпчик  $B_j$  з аналізом одного розряду множників задається формулою:

$$Y_{lj} = \sum_{k=1}^n A_{lk} B_{kj} = \sum_{k=1}^n \sum_{i=1}^{r-1} (-1)^{2^i} 2^{-i} A_{lk} b_{ikj} = \sum_{j=1}^n \sum_{i=1}^{r-1} (-1)^{2^i} 2^{-i} P_{lji},$$

де  $P_{lji}$  – часткові добутки.

З використанням модифікованого алгоритму Бута для формування часткових добутоків алгоритм обчислення базової макрооперації множення  $l$ -го рядка  $A_l$  на  $j$ -й стовпчик  $B_j$  набуває вигляду:

$$Y_{lj} = \sum_{k=1}^n A_{lk} B_{kj} = \sum_{k=1}^n \sum_{g=1}^{p-1} 2^{-2g} A_{lk} K_{gkj} = \sum_{j=1}^n \sum_{g=1}^{p-1} 2^{-2g} P_{lgj},$$

де  $P_{lgj}$  – часткові добутки.

Для НВІС-реалізацій множення матриці на матрицю актуальною задачею є зменшення апаратних затрат і кількості виводів. Одним із шляхів розв'язання такої задачі є перехід на послідовний код під час введення операндів, обчислення та виведення результатів обчислення. Для цього використаємо алгоритм множення операндів, що надходять послідовним кодом старшими розрядами вперед, при якому для кожних  $i$ -х розрядів операндів виконується формування та підсумовування  $i$ -х часткових добутоків. Алгоритм обчислення базової макрооперації множення  $l$ -го

рядка  $A_l$  на  $j$ -й стовпчик  $B_j$  для операндів, що надходять послідовним кодом старшими розрядами вперед, матиме вигляд:

$$Y_{lj} = \sum_{k=1}^n A_{lk} B_{kj} = \sum_{k=1}^n \sum_{i=1}^{r-1} 2^{-i} [(a_{lk0} a_{lk1} \dots a_{lki}) b_{kji} + (b_{kj0} b_{kj1} \dots b_{kj(i-1)}) a_{jki}] = \sum_{k=1}^n \sum_{i=1}^{r-1} 2^{-i} P_{ki} .$$

Результат обчислення кожного елемента  $Y_{lj}$  результуючої матриці отримаємо за  $r$  тактів, причому у кожному  $i$ -у такті ( $i=1, \dots, r$ ) виконується таке обчислення :

$$Y_{lji} = Y_{lj(i-1)} + 2^{-1} \sum_{i=1}^{r-1} P_{ki} ,$$

де  $Y_{lji}$  – накопичена сума  $i$ -х часткових результатів обчислення.

**Структури пристроїв множення матриці на матрицю.** Високої ефективності використання обладнання під час розроблення НВІС-структур для множення матриці на матрицю у реальному часі можна досягти шляхом використання інтегрованого підходу, який ґрунтується на можливостях сучасної елементної бази, охоплює методи, алгоритми і НВІС-структури, враховує вимоги конкретних застосувань та інтенсивності надходження даних. Для найповнішого використання переваг сучасної НВІС-технології та базису елементарних арифметичних операцій в основу побудови операційних пристроїв для множення матриці на матрицю у реальному часі доцільно покласти такі принципи [14–17]:

- узгодженості інтенсивності надходження даних з обчислювальною здатністю операційного пристрою;
- суміщення процесів введення і виведення із процесом обчислення;
- конвеєризації та просторового паралелізму;
- регулярності, модульності та широкого використання стандартних елементів;
- локалізації та зменшення кількості зв'язків між елементами пристрою.

Аналіз методів і алгоритмів множення матриці на вектор показав, що основним шляхами досягнення високої ефективності використання обладнання є [14, 15]:

- вибір алгоритмів множення для заданої розрядності операндів;
- зменшення кількості і часу формування часткових добутків;
- збільшення кількості часткових добутків, що формуються одночасно;
- зменшення часу підсумовування часткових добутків.

**Пристрої для послідовного множення матриці на матрицю.** Залежно від частоти надходження вхідних даних і розрядності операндів можуть бути синтезовані різні структури операційних пристроїв для послідовного множення матриці на матрицю, які відрізняються як організацією обчислень, так і технічними параметрами. Основою таких операційних пристроїв є високопродуктивні матричні пристрої множення чисел і пристрої множення рядка на стовпчик, які апаратно відображають граfi алгоритмів множення як з просторовим, так і з часовим розпаралеленням. У матричних пристроях множення чисел швидкодія та ефективність використання обладнання в основному залежать від алгоритмів формування і підсумовування часткових добутків. Реалізація множення за алгоритмами з просторовим розпаралеленням зводиться до паралельного формування та підсумовування всіх часткових добутків, а за алгоритмами з часовим розпаралеленням – до послідовного формування та додавання часткових добутків. Структуру операційного пристрою для послідовного множення матриці на матрицю на основі пристрою множення чисел наведено на рис. 1, де ПМ – пристрій множення чисел; СМ – суматор; Рг – регістр.

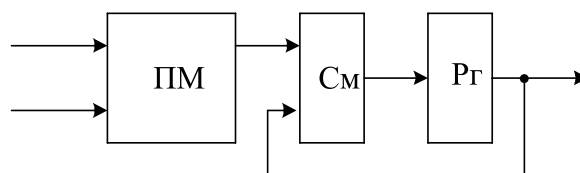


Рис. 1. Операційний пристрій для послідовного множення матриці на матрицю

Пристрої множення можуть працювати у синхронному або асинхронному режимах. Асинхронні пристрої множення є одноктакними, оскільки множення в них виконується без запам'ятовувань. Такі пристрої множення забезпечують високу ефективність використання обладнання під час обробки одиночних даних. Швидкодію одноктакних пристроїв множення визначають за формулою:

$$t_{ПМ_0} = t_{ПФЧД} + t_{БСМ},$$

де  $t_{ПФЧД}$  – час формування часткових добутоків,  $t_{БСМ}$  – час підсумовування часткових добутоків.

У синхронних пристроях множення обчислення виконується за конвеєрним принципом, який передбачає розбиття пристрою на сходинки шляхом введення буферної пам'яті. Конвеєризація пристроїв множення здійснюється шляхом їхнього розбиття на сходинки, кількість яких повинна забезпечувати узгодження пропускну здатності пристроїв з інтенсивністю знаходження вхідних даних. Обчислювальна здатність конвеєрних пристроїв множення визначається тактом роботи конвеєра, який може змінюватися від  $T_{max} = t_{ПФЧД} + t_{БСМ}$  до  $T_{min} = t_{P_2} + t_{СМ1}$ , де  $t_{P_2}$  і  $t_{СМ1}$  – часи спрацювання відповідно регістра і однорозрядного суматора. У конвеєрних пристроях множення з послідовною реалізацією алгоритмів для зменшення конвеєрного такту роботи запропоновано сумістити процеси формування  $(i+1)$ -го з додаванням  $i$ -го часткового добутку до раніше накопиченої суми часткових добутоків. Конкретний пристрій множення вибирають за критерієм забезпечення максимальної ефективності використання обладнання, якого досягають мінімізацією витрат обладнання при забезпеченні реального часу обчислення.

Другим варіантом послідовного множення матриці на матрицю є його реалізація на базі паралельного пристрою множення рядка на стовпчик. Існують два основні підходи до реалізацій паралельного пристрою множення рядка на стовпчик [4]: перший ґрунтується на паралельному формуванні та підсумованні всіх часткових добутоків, другий – на послідовному формуванні та додаванні із відповідним зсувом  $n$  часткових добутоків.

За першим підходом елемент результуючої матриці  $Y_{ij}$  обчислюють за час проходження даних з входу на вихід. Структуру пристрою множення рядка на стовпчик нерекурсивного типу з паралельним формуванням та підсумовуванням часткових добутоків наведено на рис. 2, де БК – блок керування; ФЧД – формувач часткових добутоків; БСМ – багатовходовий суматор.

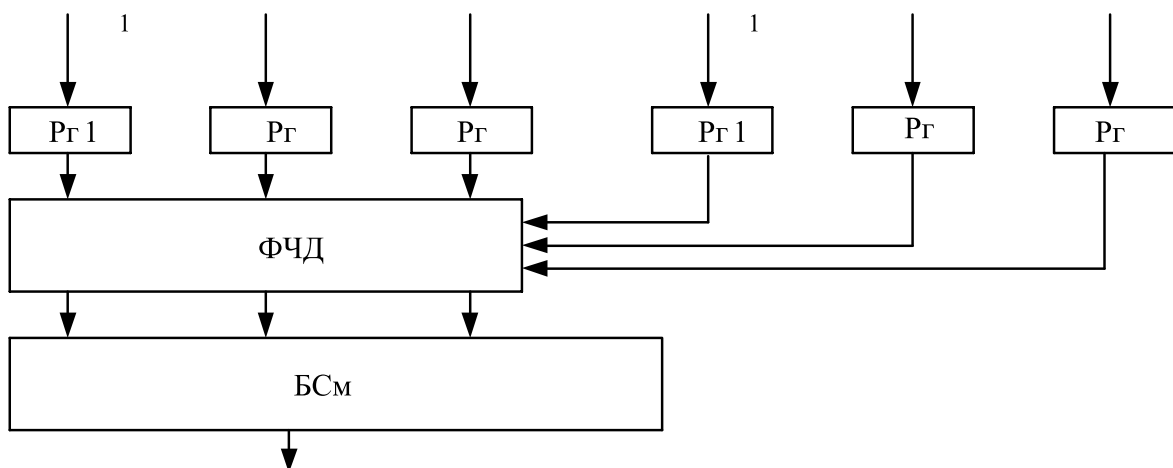


Рис. 2. Нерекурсивний пристрій множення рядка на стовпчик

Кількість часткових добутоків, які формуються на виході ФЧД, визначається формулою:

$$u_1 = n \left\lceil \frac{r}{h} \right\rceil,$$

де  $h$  – кількість розрядів, що аналізуються для формування часткового добутку.

За другим підходом елемента результуючої матриці  $Y_{ij}$  обчислюють за декілька ітерацій на пристрої рекурсивного типу, структурною особливістю якого є використання обернених зв'язків. Структуру рекурсивного пристрою множення рядка на стовпчик для випадку, коли множники надходять порозрядно, починаючи з молодших, наведено на рис. 3.

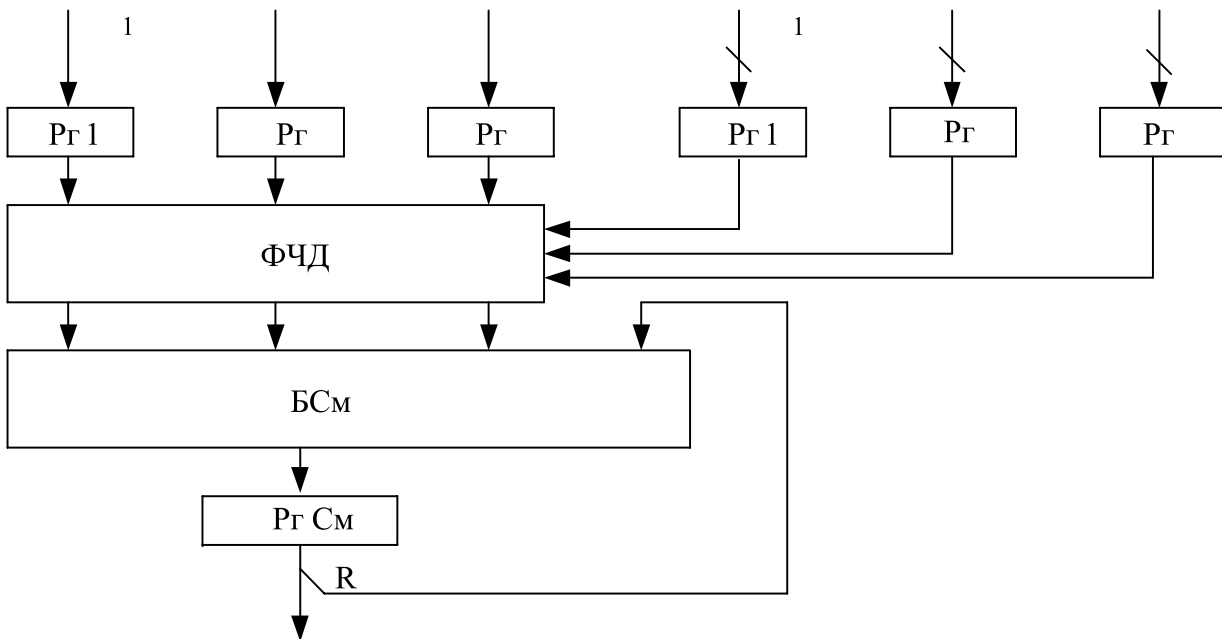


Рис. 3. Рекурсивний пристрій множення рядка на стовпчик

У кожному такті роботи такого пристрою для  $h$  розрядів всіх множників здійснюється формування часткових добутоків та додавання їх до попередньо накопиченої суми. Для формування часткових добутоків можуть використовуватися як алгоритм з аналізом одного розряду, так і модифікований алгоритм Бута. Для обчислення одного елемента результуючої матриці  $Y_{ij}$  необхідну кількість тактів визначають за формулою:

$$s = \lceil \frac{r}{h} \rceil .$$

Пристрій множення рядка на стовпчик з надходженням операндів послідовним кодом старшими розрядами вперед дає змогу зменшити у  $r$  разів кількість входів. Для реалізації такого алгоритму розроблено пристрій, структуру якого наведено на рис. 4, де БК – блок керування, ФЧР – формувач часткових результатів.

У цьому пристрої числа  $A_{lk}$  і  $B_{kj}$  надходять одночасно послідовним кодом старшими розрядами вперед. Розряди чисел  $a_1, \dots, a_m$  і  $b_1, \dots, b_m$  записуються в регістрах  $PгA_1, PгB_1, \dots, PгA_m, PгB_m$  і надходять у ФЧР, на виходах якого формується частковий результат обчислення  $P_{ki}$  елемента  $Y_{ij}$  результуючої матриці. Часткові результати обчислення  $P_{ki}$  визначають за допомогою логічних елементів  $I$  та багатовходового суматора БСм. Елемент  $Y_{ij}$  результуючої матриці у цьому пристрої обчислюють за алгоритмом, який передбачає зсув вліво накопиченої суми часткових результатів  $Y_{ij(i-1)}$  при нерухомому частковому результаті  $P_{ki}$ . Такт роботи такого пристрою визначають за формулою:

$$T = t_{P_2} + t_{СМ2n} ,$$

де  $t_{СМ2n}$  – час додавання  $2n$  розрядних чисел.

**Пристрої для паралельно-послідовного множення матриці на матрицю.** Апаратна реалізація паралельно-послідовного множення матриці на матрицю вимагає  $n$  пристроїв множення

рядка на стовпчик, за допомогою яких послідовно стовпчик за стовпчиком обчислюється результуюча матриця  $Y$ . Як пристрої множення рядка на стовпчик використовують як пристрій множення чисел, так і пристрій паралельного обчислення одного елемента  $Y_{lj}$  результуючої матриці.

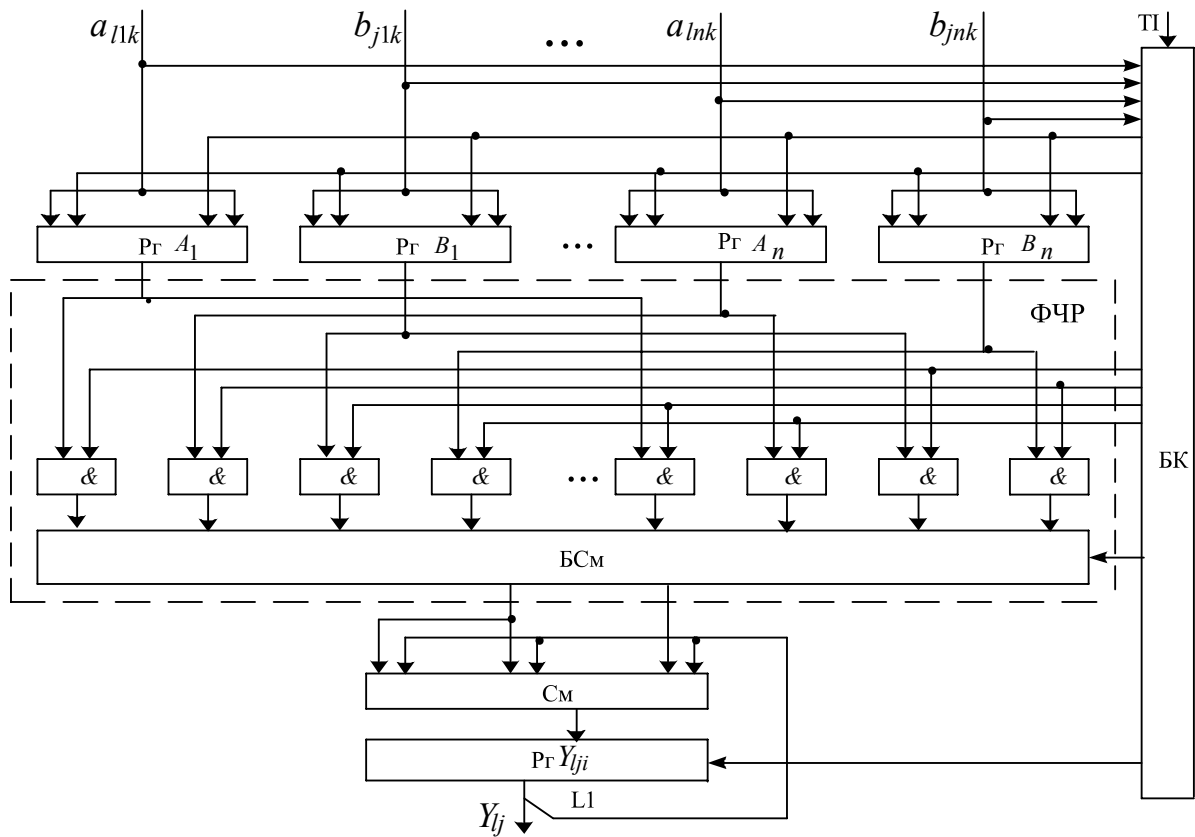


Рис. 4. Рекурсивний пристрій множення рядка на стовпчик з надходженням операндів послідовним кодом старшими розрядами вперед

Структуру пристрою для паралельно-послідовного множення матриці на матрицю на базі пристроїв множення чисел наведено на рис. 5, де ПЕ – процесорний елемент.

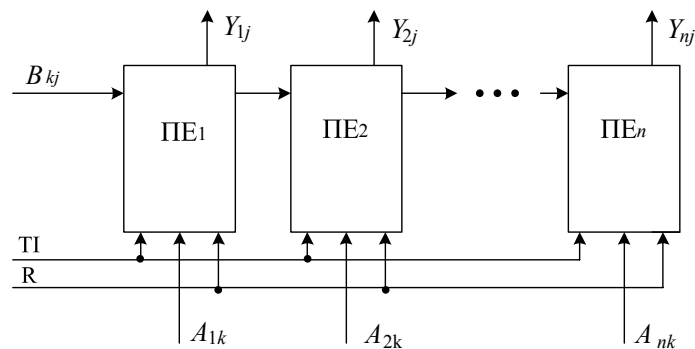


Рис. 5. Пристрій для паралельно-послідовного множення матриці на матрицю на основі пристроїв множення

Такі пристрої можуть бути двох типів – з глобальними та локальними зв'язками. Структуру ПЕ для синтезу пристрою паралельно-послідовного множення матриці на матрицю з глобальними зв'язками наведено на рис. 6, а. У пристроях з глобальними зв'язками в кожному  $k$ -му такті роботи



$k$ -й елемент  $j$ -го стовпчика  $B_{kj}$  одночасно надходить на перші входи всіх ПЕ, на інші входи яких надходять  $k$ -ті елементи відповідних рядків.

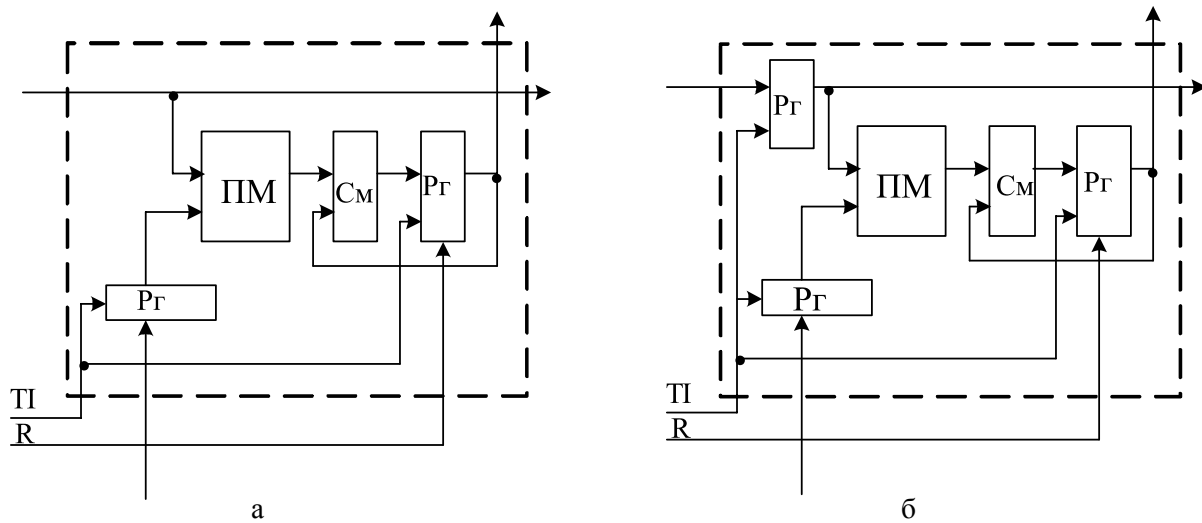


Рис. 6. Структура процесорного елемента для синтезу пристрою паралельно-последовного множення матриці на матрицю: а – з глобальними зв'язками; б – з локальними зв'язками

У пристрої з глобальними зв'язками  $j$ -й стовпець  $Y_j$  результуючої матриці обчислюють за час, який визначається за формулою:

$$t_2 = n(t_{P_2} + t_{ПМ}),$$

де  $t_{ПМ}$  – час однотактного множення.

Для НВІС-реалізацій доцільно використовувати пристрої паралельно-последовного множення матриці на матрицю на основі пристроїв множення з локальними зв'язками. Структуру ПЕ такого пристрою наведено на рис. 3, б. У пристроях з локальними зв'язками в кожному  $k$ -му такті роботи на перший і другий входи першого ПЕ<sub>1</sub> надходить відповідно  $k$ -й елемент стовпця  $B_{kj}$  і  $k$ -й елемент першого рядка  $A_{1k}$ . На інші ПЕ <sub>$i$</sub>   $k$ -ті елементи стовпця  $B_{kj}$  рядків здійснюється із затримкою, що дорівнює номеру ПЕ. У такому пристрої час обчислення  $j$ -го стовпця  $Y_j$  результуючої матриці визначається за формулою

$$t_n = 2n(t_{P_2} + t_{ПМ}),$$

де  $t_{ПМ}$  – час виконання операції множення.

Використання последовного коду для введення операндів у ПЕ дасть змогу істотно зменшити кількість виводів, що є актуальним для НВІС-реалізацій. Структуру пристрою множення чисел, що надходять последовним кодом старшими розрядами вперед, наведено на рис. 7, де Тг – тригер. Особливістю роботи такого пристрою множення є те, що добуток обчислюють у міру надходження розрядів множників  $a_i$  і  $b_i$ . Множення у цьому пристрої виконується за алгоритмом, який передбачає зсув вліво суми часткових добутоків  $P_i$  при нерухомому накопиченому добутку. З приходом кожного  $i$ -го тактового імпульсу у пристрої множення виконується: запис  $i$ -х розрядів множників  $a_i$ ,  $b_i$  у  $i$ -і розряди регістрів Рг1 і Рг2; формування  $(i-1)$ -го часткового добутку  $P_{i-1}$  та його запис у Рг3; додавання  $(i-2)$ -го часткового добутку  $P_{i-2}$  до раніше накопиченої суми та запис отриманої суми у регістр Рг4.

Формування часткових добутоків  $P_i$  здійснюється за допомогою логічних елементів  $I$  та суматора СМ1. Для підсумовування часткових добутоків із зсувом на один розряд вліво використовуються суматор СМ2 і регістр Рг4. Такт роботи цього пристрою множення визначається за формулою:

$$T = t_{P_2} + t_{СМ2n},$$

де  $t_{СМ2n}$  – час додавання  $2n$  розрядних чисел.

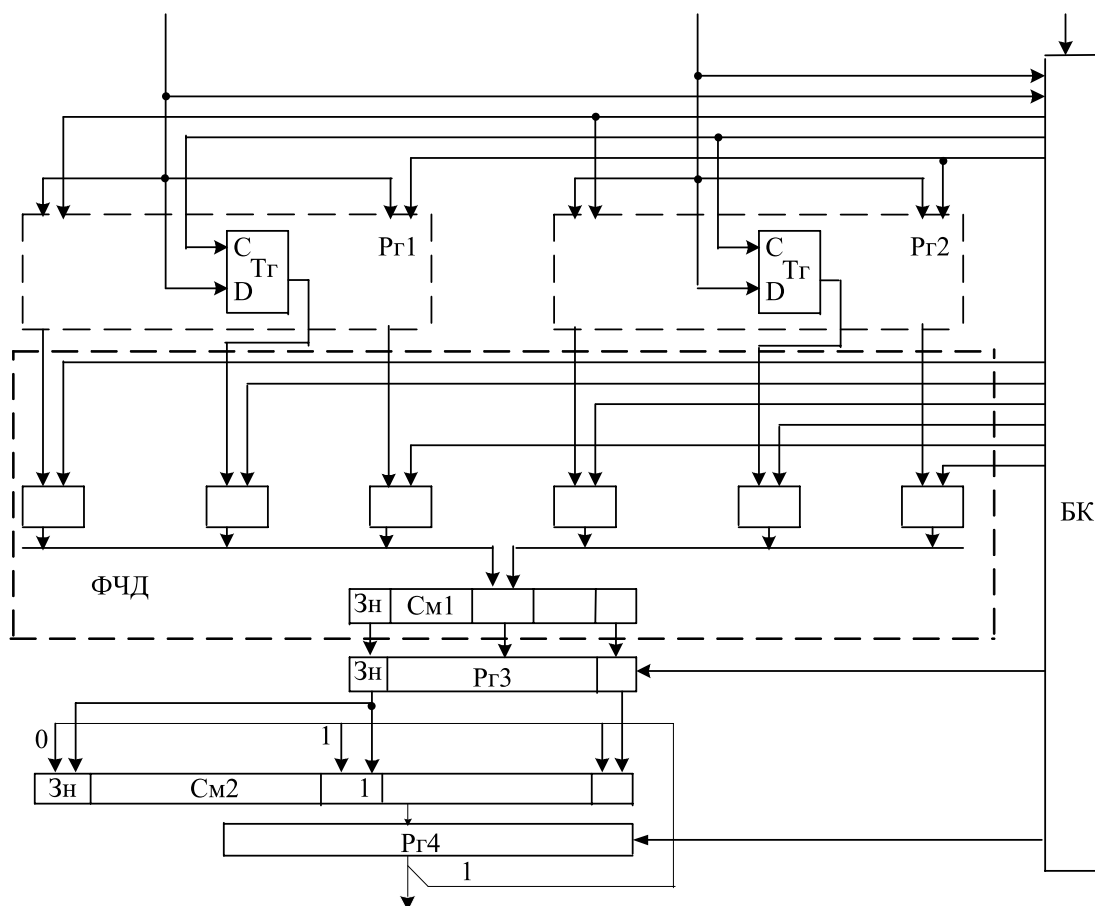


Рис. 7. Структура пристрою множення чисел, які надходять послідовним кодом старшими розрядами вперед

Більшу швидкодію забезпечують пристрої паралельно-послідовного множення матриці на матрицю, які синтезуються на основі пристроїв множення рядка на стовпчик. Для синтезу таких пристроїв паралельно-послідовного множення матриці на матрицю можуть бути використані пристрої, структури яких наведені на рис. 2, 3 і 4. Структуру пристрою паралельно-послідовного множення матриці на матрицю на основі пристроїв паралельного множення рядка на стовпчик (рис. 4) з надходженням операндів послідовним кодом старшими розрядами вперед наведено на рис. 8. У цьому пристрої процес обчислення елементів результуючої матриці суміщений з введенням операндів і виведенням результатів обчислення. Час обчислення  $j$ -го стовпчика  $B_{1j}, \dots, B_{nj}$  результуючої матриці у такому пристрої визначається розрядністю операндів  $r$ .

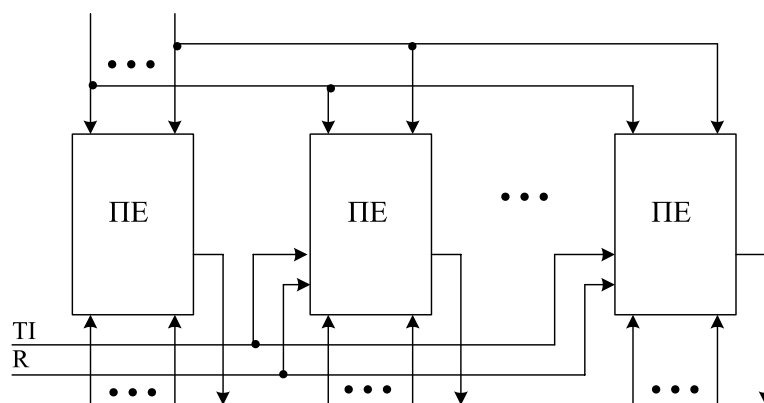


Рис. 8. Пристрій паралельно-послідовного множення матриці на матрицю на основі пристроїв множення рядка на стовпчик з надходженням операндів послідовним кодом старшими розрядами вперед

Ефективнішим за використанням обладнання є пристрій паралельно-послідовного множення матриці на матрицю на основі модифікованих пристроїв множення рядка на стовпчик (рис. 3) з порозрядним надходженням множників молодшими розрядами вперед. Структуру такого пристрою наведено на рис. 9, де БФМ – блок формування множників.

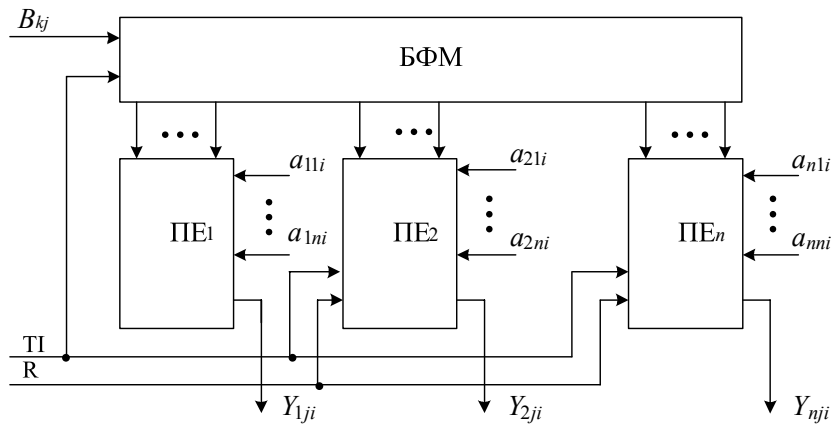


Рис. 9. Пристрій для паралельно-послідовного множення матриці на матрицю на основі пристроїв множення рядка на стовпчик з надходженням множників послідовним кодом молодшими розрядами вперед

Особливістю пристрою паралельно-послідовного множення матриці на матрицю на основі модифікованих пристроїв множення рядка на стовпчик є використання попередніх обчислень, що забезпечує зменшення кількості часткових добутків і відповідно апаратних затрат. Елементи  $j$ -го стовпчика  $B_{kj}$  послідовно надходять в БФМ, структуру якого наведено на рис.10. Одночасно з записом елементів  $B_{kj}$  у регістри  $Pr1 - Prn$  на суматорі виконуються попередні обчислення, які зводяться до попарного додавання елементів  $j$ -го стовпчика відповідно до формули:

$$B_{2p-1} + B_{2p}, \quad (12)$$

де  $p=1, \dots, n/2$ .

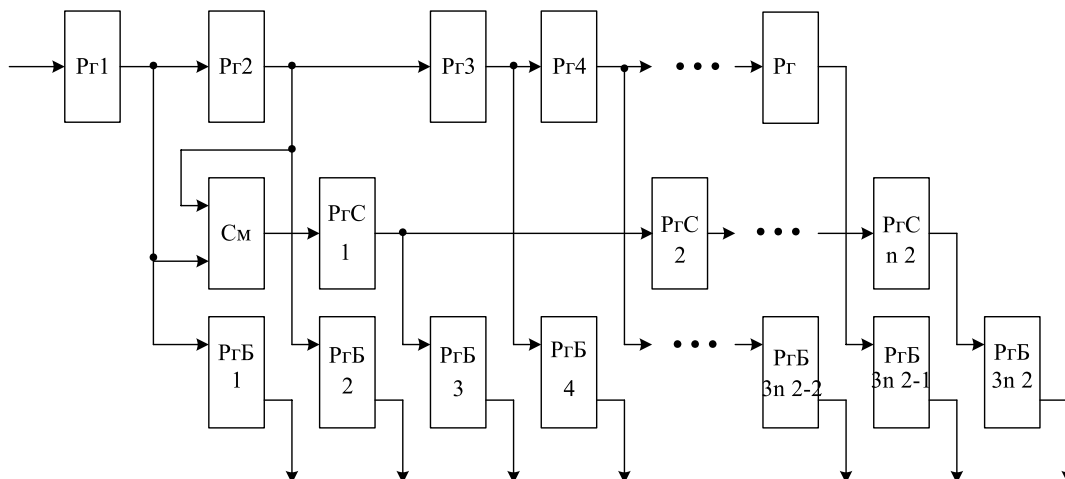


Рис. 10. Схема блоку формування множників

З виходу суматора результати додавання записуються в  $PrC1-PrCn/2$ . Після запису всіх елементів  $j$ -го стовпчика  $B_j$  у  $Pr1-Prn$  та обчислення  $n/2$  сум інформація з регістрів  $Pr1-Prn$  і  $PrC1-PrCn/2$  переписується у буферні регістри  $PrB1-PrB3n/2$ . Інформація з виходів  $PrB1-PrB3n/2$  надходить на входи всіх ПЕ. Схему ПЕ наведено на рис. 11, де  $Km$  – комутатор.

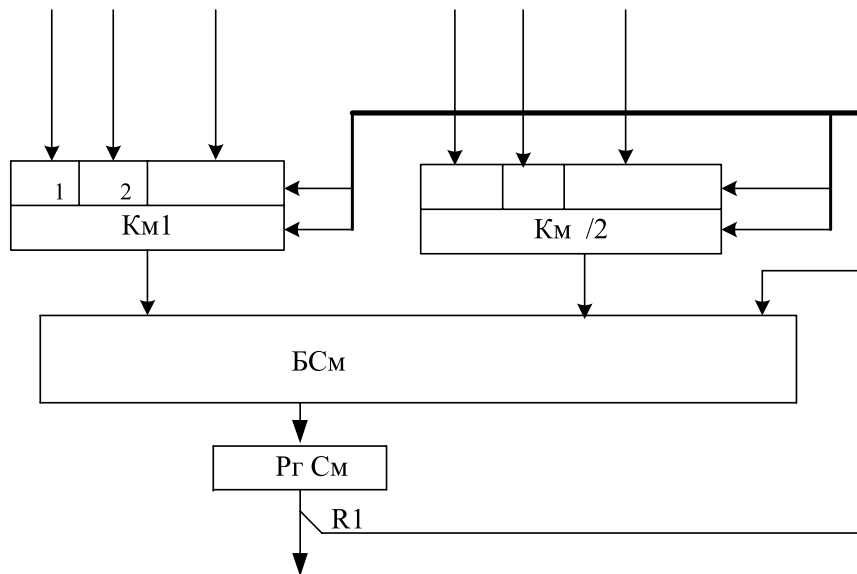


Рис. 11. Схема процесорного елемента

Використання попередніх обчислень відповідно до формули 12 дало змогу зменшити в двічі кількість часткових добутків. Формування часткових добутків у ПЕ здійснюється за модифікованим алгоритмом, який задається формулою:

$$P_i = \begin{cases} 0, & \text{коли } a_{lki} = a_{l(k+1)i} = 0 \\ B_{kj}, & \text{коли } a_{lki} = 1, a_{l(k+1)i} = 0 \\ B_{(k+1)j}, & \text{коли } a_{lki} = 0, a_{l(k+1)i} = 1 \\ B_{kj} + B_{(k+1)j}, & \text{коли } a_{lki} = a_{l(k+1)i} = 1 \end{cases}$$

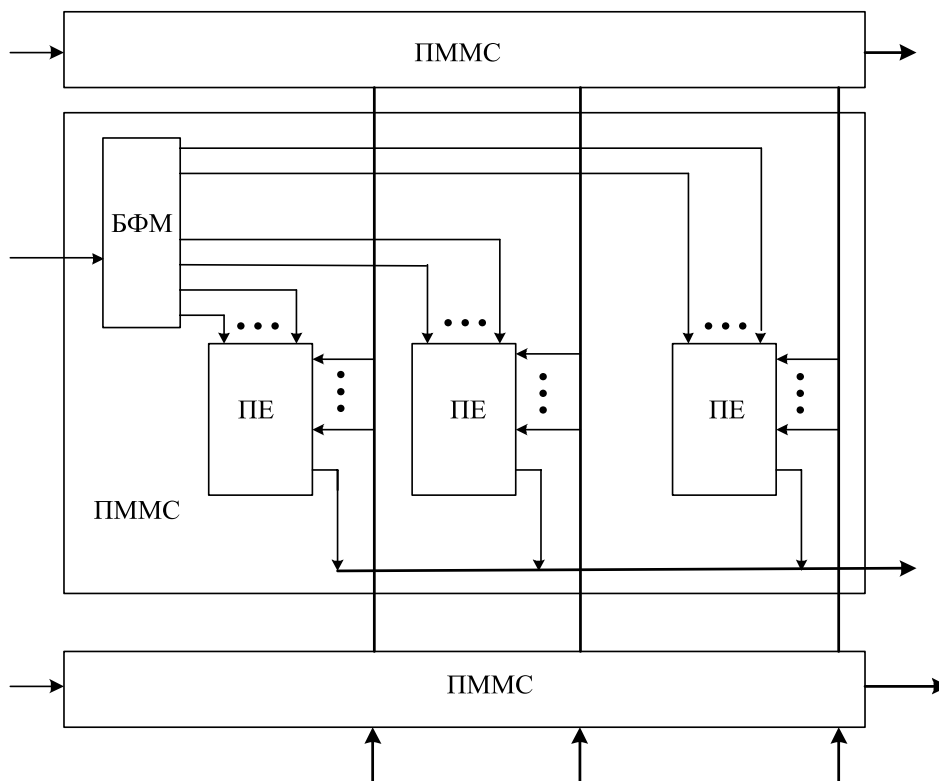


Рис. 12. Схема пристрою паралельно-паралельного множення матриці на матрицю

Використання модифікованого алгоритму формування часткових добутоків забезпечує зменшення затрат обладнання та підвищення швидкодії.

**Пристрої для паралельно-паралельно множення матриці на матрицю.** Паралельно-паралельне множення матриці на матрицю може здійснюватися на основі  $n$  пристроїв множення матриці на стовпчик (рис.8) з надходженням операндів послідовним кодом старшими розрядами вперед або на основі  $n$  пристроїв множення матриці на стовпчик (рис.9) з надходженням множників послідовним кодом молодшими розрядами вперед. Ефективнішими за використанням обладнання є пристрої множення матриці на матрицю, які синтезуються на основі пристроїв множення матриці на стовпчик з надходженням множників послідовним кодом молодшими розрядами вперед. Структуру такого пристрою множення матриці на матрицю наведено на рис. 12, де ПММС – пристрій множення матриці на стовпчик.

Паралельно-паралельне обчислення елементів результуючої матриці  $Y$  здійснюється шляхом одночасного використання  $n$  пристроїв множення матриці на стовпчик з надходженням множників послідовним кодом молодшими розрядами вперед. Швидкодія такого пристрою в основному визначається розрядністю множників.

**Висновки.** 1. Для вибору структур операційних пристроїв множення матриці на матрицю доцільно використовувати критерій ефективності використання обладнання, який враховує кількість виводів інтерфейсу, однорідність структури, кількість і локальність зв'язків, зв'язує продуктивність з витратами обладнання та дає оцінку елементам пристрою за продуктивністю.

2. Представлення алгоритмів множення матриці на матрицю у базисі елементарних операцій дає змогу повною мірою використати можливості НВІС-технології.

3. Основними шляхами підвищення ефективності використання обладнання операційного пристрою множення матриці на матрицю є: вибір ефективних методів і алгоритмів реалізації операцій множення дійсних чисел; зменшення кількості і розрядності каналів надходження операндів; узгодження інтенсивності надходження даних із обчислювальною здатністю операційного пристрою.

4. Підвищення швидкодії пристроїв множення матриці на матрицю можна досягнути роздільним або комплексним використанням методів, які дають змогу: зменшити час формування часткових добутоків; зменшити кількість всіх часткових добутоків; збільшити кількість одночасно сформованих часткових добутоків; зменшити час підсумовування часткових добутоків.

1. Грицик В.В., Березька К.М., Березький О.М. *Модельовання та синтез складних зображень симетричної структури.* – Львів.: Вид-во УАД-ДНДШ, 2005. – 140 с. 2. Роджерс Д, Адамс Дж. *Математические основы машинной графики / Пер. с англ.* – М.: Мир, 2001. – 604 с. 3. <http://developer.nvidia.com/object/cuda.html>. 4. Солонина А.И., Улахович Д.А., Яковлев А.А. *Алгоритмы и процессоры цифровой обработки сигналов.* – СПб.: БХВ-СПб, 2001. – 464 с. 5. Кун С. *Матричные процессоры на СБИС.* – М.: Мир, 1991. – 672 с. 6. *Паралельная обработка информации. Т. 4: Высокпроизводительные системы параллельной обработки информации / Под ред. В.В. Грицыка.* – К.: Наук. думка, 1988. – 272 с. 7. Самофалов К.Г. и др. *Прикладная теория цифровых автоматов.* – К.: Вища шк., 1987. – 375 с. 8. Грушицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. *Проектирование систем на микросхемах программируемой логики.* – СПб.: БХВ-Петербург, 2002. – 608 с. 9. Палагин А.В., Опанасенко В.Н. *Реконфигурируемые вычислительные системы.* – К.: Просвіта, 2006. – 280 с. 10. Каневский Ю.С. *Системные процессоры.* – К.: Техніка, 1991. – 173 с. 11. Шальто А.А. *Методы аппаратной и программной реализации алгоритмов.* – СПб.: Наука, 2000. – 780 с. 12. Грицик В.В., Опотяк Ю.В., Цмоць І.Г. *Інтегрований підхід до розробки високоефективних апаратних засобів інформаційних технологій обробки сигналів реального часу. Системні технології. Регіональний міжвузівський збірник наукових праць.* – Дніпропетровськ, 2006. – Вип. 6 (47). – С. 84–95. 13. Карцев М.А., Брик В.А. *Вычислительные системы и синхронная арифметика.* – М., 1981. – 359 с. 14. Цмоць І.Г. *Інформаційні технології та спеціалізовані засоби обробки сигналів і зображень у реальному часі.* – Львів: УАД, 2005. – 227 с. 15. Цмоць І.Г. *Паралельні алгоритми та матричні НВІС-структури пристроїв множення для комп'ютерних систем реального часу //*

*Інформаційні технології і системи. – Львів, 2004. – Т. 7, № 1. – С. 5–16. 16. Цмоль І.Г. Принципи розробки і оцінка основних характеристик високопродуктивних процесорів на надвеликих інтегральних схемах // Вісн. Держ. ун-ту “Львівська політехніка”. – 1998. – № 349. – С. 5–11. 17. Стрямець С.П., Цмоць І.Г. Паралельні алгоритми та НВІС-структури обчислення суми парних добутків // Вісн. Нац. ун-ту “Львівська політехніка”. – 2003. – № 496. – С. 255–263.*

УДК 621.396.6

**В.М. Крищук, Г.М. Шило, Б.А. Артюшенко**  
Запорізькій національний технічний університет,  
кафедра теоретичних вимірювань радіоапаратури

## **АДАПТАЦІЯ ГЕНЕТИЧНОГО АЛГОРИТМУ ДЛЯ ЗАДАЧІ ВІДНОВЛЕННЯ ХАРАКТЕРИСТИК АНТЕННОЇ ҐРАТКИ ПРИ ВІДМОВАХ ЇЇ МОДУЛІВ**

© Крищук В.М., Шило Г.М., Артюшенко Б.А., 2007

**Розглядається вплив параметрів генетичного алгоритму оптимізації характеристик напрямленості антенної ґратки при відмовах її модулів на його ефективність. Порівнюються процедури селекції, кросоверу та мутації. Досліджується роль параметрів генетичного алгоритму.**

**In this paper influences of genetic algorithm for antenna array correction in term of departure diagram with failed modules parameters on its efficiency is studied. Various selection, crossover and mutation procedures are compared. The role of genetic algorithm's parameters is studied.**

**Вступ.** При експлуатації антенної решітки (ґратки) її характеристики можуть погіршуватись через відмови її активних модулів (АМ). Ці відмови ведуть до зменшення коефіцієнта напрямленої дії, збільшення рівня бокових пелюстків (РПБ) тощо. Через жорсткі вимоги до РБП в режимі прийому (РБП < -40...-50 дБ) навіть відмова одного модулю активної фазованої антенної решітки (АФАР) призводить до зростання РБП понад припустимий рівень.

Відомі такі підходи до відновлення роботи АФАР за відмови модулів: заміна АМ, адаптація АФАР. За першим підходом потрібно або припинити використання АФАР на час виконання ремонтних робіт, або провести заміну в робочому режимі, що не завжди можливо. Отже, виникає задача адаптування антенної ґратки з відмовленими модулями. Для розв'язання цієї задачі в реальному часі використовують перерозподіл амплітуд та фаз працездатних модулів.

У працях [1, 2] розглянуто методи адаптації АФАР за допомогою градієнтних методів. Недоліком цих методів є неоптимальність сформованих діаграм напрямленості (ДН). Використання стохастичних методів (і насамперед генетичного алгоритму) є перспективним через можливість їх застосування як універсального підходу. Але ці методи потребують великих обчислювальних витрат [3]. Отже, постає задача вибору оптимальних значень параметрів генетичного алгоритму адаптації АФАР при відмовах її модулів.

Метою статті є вибір оптимальних значень параметрів генетичного алгоритму (ГА) для задачі оптимізації характеристик антенної решітки при відмовах її активних модулів.

Для розв'язання поставленої задачі необхідно:

- визначити критерії оцінки якості характеристик АФАР при відмові її активних модулів;
- адаптувати ГА для задачі оптимізації АФАР;
- провести порівняльний аналіз впливу параметрів та операторів генетичного алгоритму на його ефективність.