

УДК 621.372.542: 376.56

РІЗНИЦЕВІ МЕТОДИ І СТРУКТУРИ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ ДЛЯ СИСТЕМ АВТОМАТИЧНОГО КЕРУВАННЯ РЕАЛЬНОГО ЧАСУ

© Ігор Стрєнко, Олександр Тимченко*, 2001

Українська академія друкарства, вул. Підвальна, 17, 79018, Львів, Україна
 *Національний університет "Львівська політехніка", кафедра "Телекомунікації",
 вул. С.Бандери, 12, 79013, Львів, Україна

Розглядаються методи і реалізація аналого-цифрового різницевого перетворення для реалізації швидкодіючих і точних систем автоматичного керування реальним часом.

Rассмотрены методы и реализация аналого-цифрового разностного превращения для реализации быстродействующих и точных систем автоматического управления реальным временем.

The methods and realization of analog-digital difference transformation for realization of high-speed and point systems of automatic control of real time is considered.

Вступ. Загальною вимогою реалізації перетворювачів форми інформації є висока точність і мінімальний час перетворення. В реальних системах ці критерії тісно пов'язані. Підвищення точності аналого-цифрового перетворення завжди вимагає збільшення часу перетворення, наприклад, навіть у паралельних системах перетворення інформації – для виконання мажоритарного кодування. В замкнутих системах керування реальним часом збільшення часу перетворення може призвести до недопустимих похибок від затримки, що виникає. Ця похибка може істотно перевищити значення вирашу, яке отримується за рахунок підвищення точності перетворення, в результаті чого система може стати неприцездатною. Відомо, що згідно з введеним в [1] критерієм ефективності не може бути кращого чи гіршого методу подання інформації. Однак це правильно лише якщо застосовуються повнорозрядні двійкові коди і універсальні ЕОМ для реалізації алгоритмів обробки.

У випадку побудови оптимальних за точністю і швидкодією систем керування [2] можна мінімізувати як розрядність перетворення, так і частоту дискретизації [3], що відразу показує низьку ефективність використання універсальних процесорів обробки.

Саме тому для обробки сигналів в замкнутих системах керування реальним часом слід застосовувати методи аналого-цифрового перетворення зі змінним кроком квантування, які забезпечать високу швидкість перетворення сигналів при заданій точності в широкому динамічному діапазоні.

Додатковим фактором виникнення помилок систем стеження є вихід вхідного сигналу за межі дина-

мічного діапазону перетворювача. У цьому випадку можливе як повне порушення функцій системи, так і значні помилки при відпрацьовуванні збоїв аналого-цифрового перетворення. Очевидним шляхом їх зменшення є розширення динамічного діапазону перетворювача. Однак при обмеженій кількості розрядів перетворення буде здійснюватись з великою похибкою, що знову ж призведе до зменшення загальної точності системи. Доцільніше використати компромісний варіант обмеження вихідного коду деяким максимальним значенням, що в загальному випадку при раціональному виборі діапазону зміни призведе лише до збільшення часу встановлення вихідного сигналу системи.

Метод аналого-цифрового перетворення. Диференціальні методи високої точності перетворення характеризуються розрядністю кроків, більшою, ніж один. Для них значення кроків:

$$s_k^{(x)} = E_k^{(x)} \left| s_k^{(x)} \right|, \left| s_k^{(x)} \right| \in \{s_{min}^{(x)}, \dots, s_{max}^{(x)}\},$$

$$E_k^{(x)} = \text{sgn}(\alpha_k^{(x)}) \in \{-1, 1\}, s_{min}^{(x)} \neq 0, \quad (1)$$

де $s_{min}^{(x)}, s_{max}^{(x)}$ – мінімальний та максимальний кроки квантування.

Підсумовування кроків (1) з накопиченням утворює апроксимуючий сигнал

$$\hat{x}_k = \hat{x}_{k-1} + s_k^{(x)} = \sum_{i=0}^k s_i^{(x)}; \quad (2)$$

$$\hat{x}_k = 0, s_k^{(x)} = 0; k < 0.$$

Кроки квантування утворюються квантуванням і кодуванням різницевої послідовності $\{\alpha_k^{(x)} = x_k - \hat{x}_k\}$ між вхідним і апроксимуючим сигналами із заданою кількістю рівнів квантування $k_p^{(x)}$. З врахуванням нумерації кроків квантування, які відповідають заданому рівневі від $-ENT(k_p^{(x)}/2)$ до $ENT(k_p^{(x)}/2)$, відношення між мінімальним і максимальним кроками дорівнює

$$s_{max}^{(x)} = s_{min}^{(x)} \cdot ENT(k_p^{(x)}/2). \quad (3)$$

Нижча розрядність різницевого квантування порівняно з повнорозрядним забезпечується завдяки нерівності $s_{max}^{(x)} < |x|_{max}$. Апроксимуючий сигнал $\{\hat{x}_i\}$ визначається згідно з (3) з врахуванням

$$s_i^{(x)} = s_{min}^{(x)} p_i^{(x)}, \quad (4)$$

де $p_n^{(x)}$ – числове значення кроку квантування вхідного сигналу, яке вибирають на основі [2]:

$$p_n^{(x)} = \text{sgn}(\alpha_n^{(x)}) \cdot ENT \left\{ \min \left(\frac{k_p^{(x)}}{2}, \frac{|\alpha_n^{(x)}|}{s_{min}^{(x)}} + 0,5 \right) \right\}, \quad (5)$$

Перша частина в обмеженні (5)

$$p_n^{(x)} = \text{sgn}(\alpha_n^{(x)}) \cdot ENT \{ k_p^{(x)} / 2 \}$$

являє собою насичення квантуючої характеристики і максимальне значення оцифрованого кроку $|p_n^{(x)}| = ENT \{ k_p^{(x)} / 2 \}$. Друга частина відповідає лінійному квантувачу з заданим мінімальним кроком

$$p_n^{(x)} = \text{sgn}(\alpha_n^{(x)}) \cdot ENT \{ |\alpha_n^{(x)}| / s_{min}^{(x)} + 0,5 \}.$$

Квантуюча характеристика кодера при непарній кількості рівнів квантування завжди відповідає центральному заглишенню слабких сигналів [2]. При непарному $k_p^{(x)}$ мінімальний крок квантування дорівнює нулеві. Тому в режимі мовчання, за якого $x_i \in \left[\hat{x}_i - \frac{s_{min}^{(x)}}{2}, \hat{x}_i + \frac{s_{min}^{(x)}}{2} \right]$, на виході формується послідовність

$$\{ p_i^{(x)} = 0 \}. \quad (6)$$

Доцільним є повне заповнення розрядної сітки при двійковому кодуванні. В цьому випадку $k_p^{(s)} = 2^{c^{(s)}-1} - 1$. Розрядність модуля кроку дорівнює

$$c^{(x)} = \max \log_2 |p_i^{(x)}| = \log_2 ENT(k_p^{(x)}/2) i > 0, \quad (7)$$

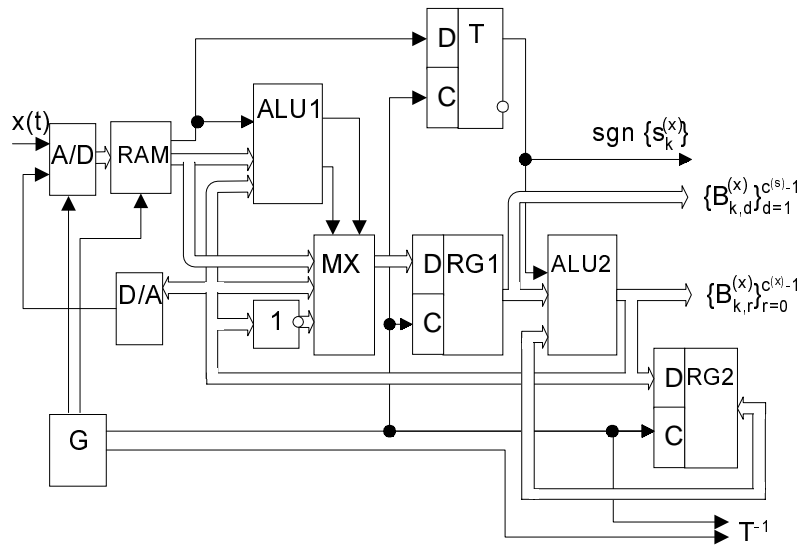
а один коефіцієнт займає у пам'яті процесора $c^{(s)} + 1$ біт.

Значення максимальних кроків квантування вхідного сигналу $s_{max}^{(x)}$ і їх розрядність $c^{(x)}$ (або $k_p^{(x)}$) вибирають з урахуванням частоти дискретизації і заданого рівня вихідного шуму перетворювача.

Аналого-цифрові перетворювачі з безпосереднім квантуванням і кодуванням помилки апроксимації $\alpha(t)$ в моменти дискретизації $t = kT, k > 0$ дають змогу обробляти вхідні сигнали з великим діапазоном зміни і більш широкосмугові, ніж перетворювачі з постійним кроком квантування [2]. Використання ідеального інтегратора (цифрового накопичувача) вимагає в таких перетворювачах обмежень вихідного коду для забезпечення їх стійкої роботи.

Реалізація методу аналого-цифрового перетворення. Структурна схема аналого-цифрового перетворювача з прямим кодуванням помилки апроксимації $\{\alpha_k^{(x)} = x_k - \hat{x}_k\}$, який відповідає вказаним вимогам, показана на рисунку. Він містить аналого-цифровий перетворювач (АЦП) А/D, блок оперативної пам'яті RAM, перший і другий арифметико-логічні блоки ALU1 і ALU2, блок інверторів, мультиплексор МХ, цифроаналоговий перетворювач (ЦАП) D/A, D-тригер, перший і другий буферні регістри RG1 і RG2, чотирифазний генератор G тактових імпульсів.

Призначення вузлів таке. Аналого-цифровий перетворювач А/D перетворює в $(c^{(s)} + 1)$ -розрядний код сигнал різниці $\alpha(t) = x(t) - \hat{x}(t)$ між вхідним сигналом $x(t)$ і сигналом апроксимації $\hat{x}(t) \in [0, x_N]$ на виході ЦАП D/A. В блоці RAM оперативної пам'яті запам'ятовується цифроване значення α_k^* різниці $\alpha(t)$, а на його виходах формується кодоване значення знака $\text{sgn}(\alpha_k^*)$ і $c^{(s)}$ -розрядне значення модуля $|\alpha_k^*|$ сигналу різниці. За допомогою ALU1 визначається відповідність кодованого значення відліку сигналу апроксимації $\hat{x}_k = \hat{x}_{k-1} + \alpha_k$ інтервалу $[0, x_N]$. Номінальне значення діапазону зміни x_N повністю заповнює розрядну сітку ALU2 і відповідає n розрядам $x_N = \Delta D$, де Δ – дискрет відліку \hat{x}_k , $D = 2^n - 1$.



Структурна схема аналого-цифрового перетворювача

Значення кодованого сигналу апроксимації \hat{x}_{k-1}^* в попередньому періоді дискретизації сформовано блоком ALU2 шляхом неперервного накопичення з значень кодів приростів вхідного сигналу $\{p_k^*\}$ на виході регістра RG1 з врахуванням відповідного знака (йому відповідає сигнал на виході D-тригера):

$$\hat{x}_{k-1}^* = \sum_{i=0}^{k-1} \text{sgn}(p_i^*) |p_i^*| \quad (8)$$

Значення відліку \hat{x}_k^* в ALU1 використовується для формування сигналу переповнення, якщо $\hat{x}_k^* \Delta > x_N$, або сигналу позики, якщо $\hat{x}_k^* \Delta < 0$. За цими сигналами мультиплексор MX проводить корекцію коду приросту α_k^* за правилом:

$$p_k^* = \begin{cases} \alpha_k^*, & 0 \leq x_{k-1}^* + \alpha_k^* \leq D; \\ D - x_{k-1}^*, & x_{k-1}^* + \alpha_k^* > D; \\ -x_{k-1}^*, & x_{k-1}^* + \alpha_k^* < 0. \end{cases} \quad (9)$$

Корекція відсутня лише тоді, коли значення $x_k^* = x_{k-1}^* + \alpha_k^* \in [0, D]$. В іншому випадку код приросту $\{\alpha_k^*\}$ корегується так, щоб апроксимуючий сигнал $\hat{x}_k = \hat{x}_k^* \Delta$ відповідав динамічному діапазону ЦАП. Вкажемо, що значення сигналу $D - x_{k-1}^*$ від-

повідає інвертованим $c^{(s)}$ молодшим розрядам коду x_{k-1}^* , а сигнал $(-x_{k-1}^*)$ є кодом x_{k-1}^* з врахуванням від'ємного знака α_k^* .

Генератор G тактових імпульсів на своїх першому-четвертому виходах формує послідовність імпульсів з частотою дискретизації T^{-1} , часові співвідношення між якими відповідають швидкодії відповідних вузлів. За імпульсом на першому виході генератора G відбувається запуск АЦП, на другому – запам'ятовування коду α_k^* в RAM, на третьому – фіксуються сигнали $\text{sgn}(p_k^*)$, p_k^* і \hat{x}_k^* в D-тригері, першому і другому буферних регістрах RG1 і RG2 відповідно, на четвертому – готовність сигналів, записаних за імпульсами на третьому виході генератора G, на виході кодера.

Вихідний сигнал D-тригера є кодом знака кроку квантування $\text{sgn}(s_k^{(x)})$, регістра RG1 – модулем цього кроку $|s_k^{(x)}| = \{B_{i,k}^{(x)}\}_{i=1}^m$, а регістра RG2 – кодом сигналу апроксимації $\hat{x}_k^* = \{B_{k,q}^{(x)}\}_{q=1}^n$, або повнорозрядним поданням вхідного сигналу.

Розглянемо роботу перетворювача. Нехай накопичувач (ALU2 і регістр RG2) заповнений до деякого стану $r \in [0, D]$. Тоді на виході ЦАП формується

значення сигналу $\hat{x}_k = r\Delta$. За допомогою АЦП проводиться $(c^{(s)} + 1)$ -розрядне квантування сигналу $\alpha_k^{(x)}$ рiзницi за правилом:

$$\alpha_k^* = \begin{cases} 2^{c^{(s)}} - 1, \alpha_k^{(x)} / \Delta \geq 2^{c^{(s)}} - 1; \\ -2^{c^{(s)}} + 1, \alpha_k^{(x)} / \Delta \leq -2^{c^{(s)}} + 1; \\ \alpha_k^{(x)} / \Delta - \text{iнакше.} \end{cases} \quad (10)$$

Модуль i знак сигналу α_k^* запам'ятовуються в блоцi RAM i надходять на D-тригер i регiстр RG1, де за iмпульсом з третього виходу генератора G тактових iмпульсiв пiдсумовуються з кодом попереднього вiдлiку $\hat{x}_k^* = \hat{x}_{k-1}^* + p_k^*$. Якщо $\alpha_k^{(x)} \geq 0$, значення \hat{x}_k^* збiльшується, а при $\alpha_k^{(x)} < 0$ – зменшується. Отже, здiйснюється стеження сигналу апроксимацiї $\hat{x}(t)$ за вхiдним $x(t)$.

Розглянемо випадок, коли вхiдний сигнал $x(t) > x_N$ визначає блок ALU1, який формує на першому виходi сигнал переповнення. Тодi код α_k^* коригується вiдповiдно до (9) i надходить на вихiд регiстра RG1, в результатi чого на виходi формується код повнорозрядного значення $\hat{x}_k^* = D$, причому при продовженнi вказаного перевищення значення коду кроку $p_{k+1}^* = 0$. Аналогiчно визначається блоком ALU1 випадок, коли $x(t) < 0$. Тодi вiдкореговане значення рiзницевого кроку дорiвнює вiдповiдно до (9) коду вiдлiку \hat{x}_k^* з вiд'ємним знаком, адходить на виходи ре-

гiстра RG1 та D-тригера вiдповiдно. Повнорозрядний код на виходi ALU2 дорiвнює нулю $\hat{x}_k^* = 0$, причому при продовженнi виконання умови $x(t) < 0$ значення $p_{k+1}^* = 0$. При входженнi сигналу $x(t)$ в динамiчний дiапазон ЦАП перетворювач повертається в режим стеження. Якщо незмiнне значення вхiдного сигналу $x(t) = \text{const} \in [0, x_N]$ в цьому режимi формуються вiдповiднi вихiднi коди $\{\hat{x}_k^* = \text{ENT}[x(t)/\Delta]\}$, $\{s_k^{(x)} = 0\}$.

Висновки. Отже, швидкодiючий рiзницевий перетворювач за розглянутою схемою завжди працює стiйко, забезпечуючи мiнимальний час вiдновлення пiсля перевантаження динамiчного дiапазону. Його застосування в системах керування реального часу дає змогу досягнути високих параметрiв за точнiстю i швидкодiєю при керуваннi швидкоплинними процесами.

1. Моисеев В.С. Системное проектирование преобразователей информации. – Л., 1982. 2. Тимченко О.В. Рiзницеви методи цифрової фiльтрацiї. – Львiв. 1999. 3. Дурняк Б., Тимченко О. Алгоритми систем автоматичного регулювання, оптимальнi за критерiями швидкодiї та точностi // Автоматизацiя виробничих процесiв у машинобудуваннi та приладобудуваннi. Український мiж-вiдомчий науково-технiчний збiрник. Вип.35. – Львiв: НУ "Львiвська полiтехнiка" 2000. – С.7-10. 4. Стрeпко I.Т., Тимченко О.В., Дурняк Б.В. Проектування систем керування на однокристальних мiкро-ЕОМ. – К., 1998.