УДК 6811.142.6

Л. Лукащук, Б. Демида
Національний університет “Львівська політехніка”,
кафедра автоматизованих систем управління

КОМПЕНСАЦІЯ ПЕРЕГОНОВИХ ЗАВАД У ЛОГІЧНИХ СХЕМАХ, ПОБУДОВАНИХ НА ОСНОВІ МУЛЬТИПЛЕКСОРІВ

Внаслідок затримок в елементах логічної схеми, у певних ситуаціях на її виході виникають імпульсні завади. Проаналізовано виникнення перегонових завад у типових схемах використання мультиплексорів. Запропоновано дієвий механізм боротьби з такими завадами за рахунок введення додаткової змінної та наведено приклад реалізації удосконаленої схемотехніки використання мультиплексорів.

As a result of delays in the elements of logical circuit, in certain situations there are impulsive hindrances on its output. The article is devoted to the analysis of origin of hindrances distillations in the typical charts of the use of multiplexer. The effective mechanism of fight is offered against such hindrances due to introduction of additional variable and resulted the example of realization of improved circuit technique of the use of multiplexer.

Вступ

Природу утворення і способи компенсації перегонових завад у логічних схемах досліджено достатньо повно [1, 5]. Недостатньо висвітлене питання завад, що виникають у логічних схемах, побудованих на основі мультиплексорів. Про те, що такі завади можуть існувати, зазначено у [1].

Аналіз задачі

Задану логічну функцію F розкладемо за деяким її аргументом A на основі теореми розкладання:

$$F_A = A \cdot F(A=1) + \overline{A} \cdot F(A=0) \tag{1}$$

і визначимо додаткову складову

$$L_A = F(A=1) \cdot F(A=0) = \sum_i p_i \cdot \sum_j p_j = \sum_k p_k, \quad \text{i, j, k} \in (1, N), \tag{2}$$

$$p_k = (p_i \cdot p_j)_{i=j}. \tag{3}$$

З урахуванням співвідношень (1–3) сформуємо вираз заданої для відтворення функції :

$$\begin{aligned} F_A &= A \cdot \sum_i p_i + \overline{A} \cdot \sum_j p_j = (A + \overline{A}) \cdot \sum_k p_k + A \cdot \sum_{i \neq k} p_i + \overline{A} \cdot \sum_{j \neq k} p_j = \\ &= "1" \cdot \sum_k p_k + A \cdot \sum_{i \neq k} p_i + \overline{A} \cdot \sum_{j \neq k} p_j = A \cdot \sum_{i \neq k} p_i + \overline{A} \cdot \sum_{j \neq k} p_j + L_A. \end{aligned} \tag{4}$$

Для спрощення подальших викладок введемо поняття ***перегонової*** змінної, тобто такої, із зміною якої за певних умов на виході відтворювальної логічної функції, зокрема на виході мультиплексора, може з’являтися перегонова завада.

Дослідження

Результати досліджень свідчать:

1) якщо **A** – перегонова змінна, то в складі відтворюваної функції за допомогою мультиплексора з **m-1** селекторними входами присутній додатковий компенсуючий вираз;

2) якщо перегонова змінна **А** реалізується на інформаційних входах, то на селекторних входах реалізується, крім інших складових функції, додатковий вираз, який запобігає виникненню перегонової завади.

Розглянемо декілька прикладів.

Приклад 1. Відтворити з допомогою мультиплексора таку логічну функцію:

$$F = A \cdot B + A' \cdot C. \tag{5}$$

1. Подамо задану функцію у класичній диз'юнктивно-кон'юнктивній формі:

$$F = A \cdot B \cdot C + A \cdot B \cdot C' + A' \cdot B \cdot C + A' \cdot B' \cdot C\,. \tag{6}$$

2. Для відтворення заданої функції найбільш підходить мультиплексор М4×1, на селекторні входи якого подають дві змінні відтворюваної функції, третя змінна – на інформаційні входи мультиплексора. Оскільки функція має три незалежні змінні, то й можливих варіантів є стільки ж. За кожним варіантом іншу незалежну змінну подають на інформаційні входи, дві інші – на селекторні входи мультиплексора:

$$\begin{aligned} F &= A \cdot (B \cdot C) + A \cdot (B \cdot C') + A' \cdot (B \cdot C) + A' \cdot (B' \cdot C) = \\ &= A \cdot (3) + A \cdot (2) + A' \cdot (3) + A' \cdot (1) = 1 \cdot (3) + A \cdot (2) + A' \cdot (1), \end{aligned} \tag{7}$$

$$\begin{aligned} F &= B \cdot (A \cdot C) + B \cdot (A \cdot C') + B \cdot (A' \cdot C) + B' \cdot (A' \cdot C') = \\ &= B \cdot (3) + B \cdot (2) + B \cdot (1) + B' \cdot (0), \end{aligned} \tag{8}$$

$$\begin{aligned} F &= (A \cdot B) \cdot C + (A \cdot B) \cdot C' + (A' \cdot B) \cdot C + (A' \cdot B') \cdot C = \\ &= (3) \cdot 1 + (1) \cdot C + (0) \cdot C. \end{aligned} \tag{9}$$

Співвідношення (7)–(9) використано для побудови трьох відповідних схем мультиплексорів (рис. 1). Всі вони відтворюють одну і ту саму функцію. Проаналізуємо принцип їхнього функціонування.

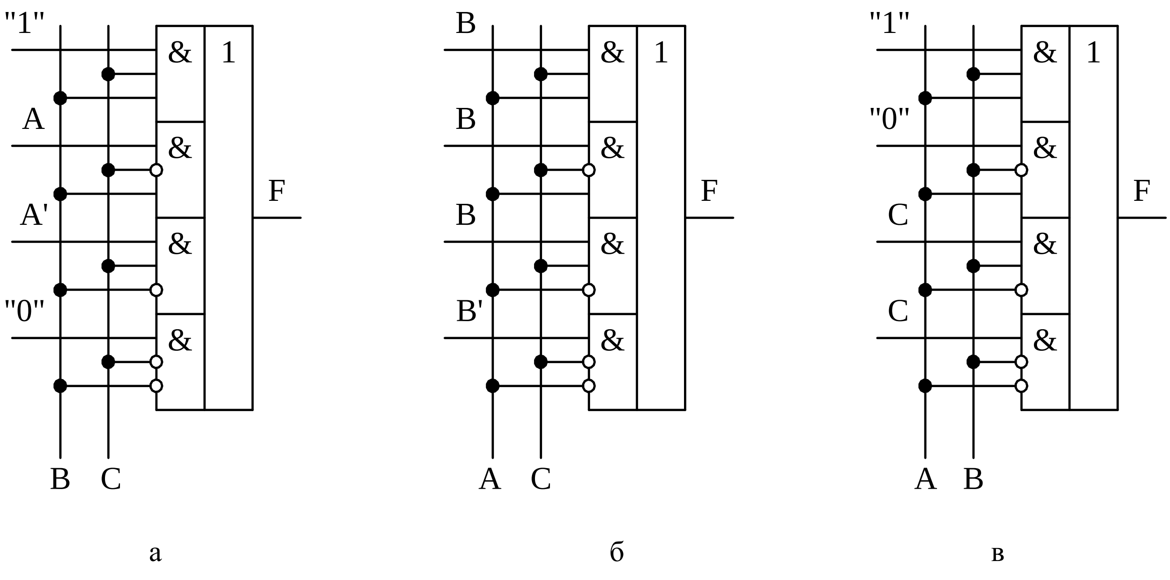

Рис. 1. Три варіанти відтворення логічної функції F = A·B + A′·C

Із зміною А від “1” до “0” і В = С = ”1” задана функція(5) набуває вигляду:

$$F = A + A', \tag{10}$$

що свідчить про наявність ефекту перегонів [1].Досліджуючи співвідношення (7)–(9) за тих самих умов, отримуємо такі результати:

$$F = A + A' + 1, \tag{11}$$

$$F = A + A', \tag{12}$$

$$F = A + A', \tag{13}$$

з яких видно, що в першому випадку (11) ефект змагань відсутній завдяки наявності у складі функції одиниці, тобто мультиплексор, зображений на рис. 1, *а*, не породжує перегонової завади, а у двох інших випадках (рис. 1, *б, в*) існує перегонова завада.

Перегоновою змінною за прикладом 1 є А. У разі відтворення логічної функції **m** змінних за допомогою мультиплексора, кількість селекторних входів якого дорівнює **m-1,** на його інформаційні входи подаються відповідно з відтворюваної функції напруги “0”, “1”, пере*гонової* змінної та її доповнення, то на виході мультиплексора не утворюватиметься перегонова завада за будь-якої зміни *перегонової* змінної.

Наведену на рис. 1 для відтворення з допомогою мультиплексора функцію можна відтворити за допомогою мультиплексора M8×1. Для цього подамо задану функцію так:

$$F = A\cdot B\cdot C + A\cdot B\cdot C' + A'\cdot B\cdot C + A'\cdot B'\cdot C = \sum(1,\ 3,\ 6,\ 7). \tag{14}$$

На рис. 2 подано функціональну схему мультиплексора M8×1, де всі три аргументи відтворюваної функції подано на селекторні входи, на інформаційні входи 1, 3, 6, 7 подано “1”, а на решту інформаційних входів – “0”. Якщо B=C=1, перша і шоста схеми збігу видають “нулі”, а у разі переходу від 7 до 3 виникають умови для появи завади змагань. Тому для уникнення ефекту змагань у цьому і подібних випадках треба вживати звичайних заходів, які зазвичай використовують у логічних схемах.

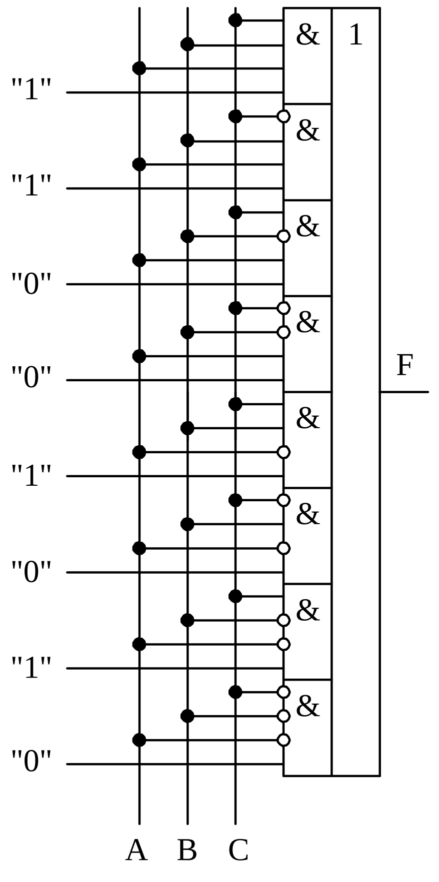

Рис. 2. Відтворення логічної функції F = A·B + A′·C за допомогою M8×1

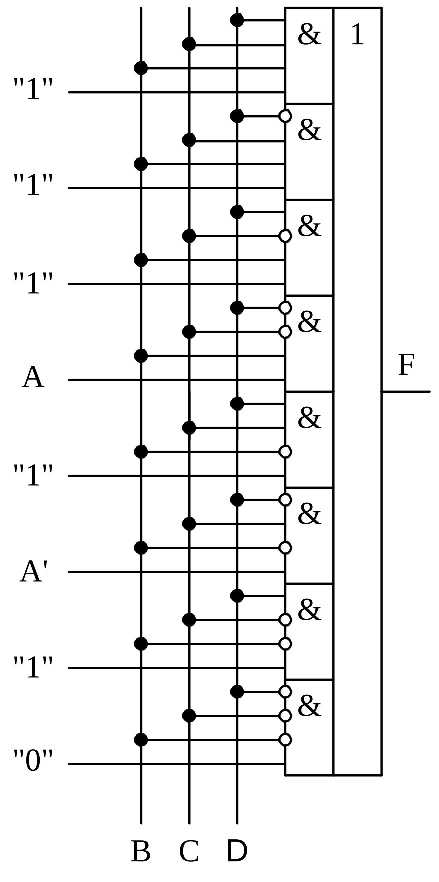

Рис. 3. Відтворення логічної функції F = A·B + A′·C + D за допомогою M8×1

Приклад 2. Задано для відтворення за допомогою мультиплексора таку функцію:

$$F = A\cdot B + \overline{A}\cdot C + D. \tag{15}$$

Розклавши (15) на основі відповідної теореми:

$$F_A = A\cdot(B + D) + \overline{A}\cdot(C + D), \tag{16}$$

визначаємо додатковий компенсувальний вираз:

$$L_A = B \cdot C + D. \tag{17}$$

Отже, задана функція може за певної ситуації перетворюватися на перегонову, де A–її перегонова змінна.

Подамо задану функцію у вигляді суми p-термів, тобто у класичній диз'юнктивно-кон'юнктивній формі:

$$F = \sum(1,2,3,5,7,9,10,11,12,13,14,15), \tag{18}$$

розкладемо за A:

$$F = A \cdot (1,3,4,5,6,7) + \overline{A} \cdot (1,2,3,5,6,7) \tag{19}$$

і зведемо до вигляду, зручного для відтворення за допомогою мультиплексора M8×1(рис. 3):

$$F = "1" \cdot \sum(1,3,5,6,7) + \overline{A} \cdot (2) + A \cdot (4). \tag{20}$$

На інформаційні входи мультиплексора 1, 3, 5, 6, 7 подається “1” , на інформаційний вхід 2– $\overline{A}$, 4– A.Розкриємо значення суми складових, на які подається “1”:

$$\sum(1,3,5,6,7) = \overline{B} \cdot \overline{C} \cdot D + \overline{B} \cdot C \cdot D + B \cdot \overline{C} \cdot D + B \cdot C \cdot \overline{D} + B \cdot C \cdot D. \tag{21}$$

Якщо *B* = *C* = *D* = *1*, сума (21) дорівнює “1”, тому що ця сума є доповняльним виразом, який компенсує перегонову заваду. Очевидно, що у цьому випадку не виникатиме ефекту перегонів, що відповідає вищенаведеним висновкам.

1. Лукащук Л.О. Схемотехніка логічних та послідовнісних схем. – Львів: Вид-во “Львівська політехніка”, 2004. 2. Угрюмов Е. Цифровая схемотехника. – СПб., 2001. 3. Цифровые интегральные микросхемы: Справочник. – М.: Радио и связь, 1994. 4. Каган Б.М. ЭВМ и системы. – М.: Энергоатомиздат, 1991. 5. Лукащук Л.О., Демида Б.А. Компенсація перегонових завад у логічних схемах // Вісн. Держ. ун-ту “Львівська політехніка”. – 1996. – № 307. – С. 120–127..