

САМОКОНФІГУРОВНІ АПАРАТНІ ПРИСКОРЮВАЧІ ОБЧИСЛЕНЬ У КОМП'ЮТЕРАХ

© Мельник В.А., Сарайрех З., 2010

Запропоновано новий клас прискорювачів обчислень у комп'ютерах – самоконфігуровні апаратні прискорювачі та концепцію їх побудови, яка передбачає поєднання процесів автоматичної генерації програмних моделей спеціалізованих процесорів та конфігурування прискорювачів, враховуючи вхідні параметри прискорювача та високорівневий опис алгоритму його функціонування.

A new class of hardware accelerators – self-configurable hardware accelerators, and the concept of self-configurable hardware accelerators design are proposed in the paper. Proposed concept combines processes of the soft-cores automatic generation and accelerators configuring without operator's participation according to the input parameters of the hardware accelerator and the high-level description of its algorithm.

Вступ. Упродовж останнього десятиліття відбулися значні зміни в галузі проектування та мікроелектронного виробництва комп'ютерних засобів. Була розроблена технологія проектування програмних моделей обчислювальних пристроїв [1], яка описує процес розробки архітектури обчислювальних пристроїв на рівні регістрових передач з використанням мов опису апаратних засобів (VHDL [2], Verilog [3] тощо) і їх реалізації у вигляді надвеликих інтегральних схем на основі програмованих логічних інтегральних схем (ПЛІС). Для розроблення та відлагодження програмних моделей обчислювальних пристроїв використовуються спеціальні інтегровані середовища із вбудованими засобами компіляції та симуляції. Серед них: ModelSIM від Mentor Graphics, Active-HDL від Aldec тощо. Лідерами на світовому ринку виробників ПЛІС є фірми Altera, Xilinx, Actel, Lattice, Atmel, Lucent Technologies та ін. Кожна з цих компаній надає користувачеві засоби логічного синтезу своїх ПЛІС, наприклад, фірма Altera – Quartus II, Max+Plus II, фірма Xilinx – Xilinx Foundation, Xilinx Alliance, Xilinx ISE. Для програмування ПЛІС використовуються спеціальні апаратні засоби, що складаються із друкованої плати, на яку поміщено ПЛІС, та засобів її програмування. Необхідне програмне забезпечення інколи постачають окремо чи у комплекті з апаратними засобами, а інколи воно вбудоване у засоби логічного синтезу ПЛІС.

Водночас поширення ПЛІС посприяло відновленню інтересу до напряму розроблення високопродуктивних апаратних прискорювачів, зокрема таких, що функціонують у взаємодії з універсальними, зокрема й персональними комп'ютерами. Апаратні прискорювачі, побудовані на основі ПЛІС, мають багато істотних переваг порівняно з традиційними, а саме – вони можуть бути багаторазово перепрограмовані та мають значно нижчу вартість, ніж прискорювачі на основі замовних спеціалізованих надвеликих інтегральних схем (НВІС), у разі несерійного виробництва.

Аналіз останніх досліджень. В [1] розглянуто технологію проектування програмних моделей обчислювальних пристроїв і описано концепцію їхнього конфігурування. Конфігурування дає змогу програмно змінювати такі параметри обчислювального пристрою, як розрядність шин даних та команд, обсяги постійної пам'яті та пам'яті з довільною вибіркою, а також виділити з конфігуровної моделі пристрою ту її частину, яка забезпечує реалізацію заданого алгоритму з заданими параметрами, тобто вибрати архітектуру пристрою. У [8] висвітлено технологію проектування обчислювальних пристроїв на основі їх конфігурованих моделей. Передові фірми, що

займаються роботами у цьому напрямі, створюють генератори – програмні засоби автоматичного конфігурування програмних моделей обчислювальних пристроїв. Наприклад, фірма “Інtron” [9] пропонує генератори програмних процесорів швидкого перетворення Фур’є, швидкого косинусного перетворення тощо. У [10] розглянуто системи високорівневого синтезу спеціалізованих процесорів, які виконують автоматичну генерацію програмних моделей спеціалізованих процесорів на основі попереднього опису мовою високого рівня. Такі системи призначені для автоматизації праці проектувальників спеціалізованих процесорів і уможливають істотно зменшити затрати часу для проектування і тестування спеціалізованих процесорів на програмованих мікросхемах порівняно з розробкою традиційними засобами. У [6] показано варіанти застосування програмних спеціалізованих процесорів для створення апаратних прискорювачів на основі ПЛІС.

Постановка завдання. Основною проблемою, з якою зустрічаються розробники та оператори систем, у складі яких функціонують апаратні прискорювачі на основі ПЛІС, є часта відсутність на ринку потрібних програмних моделей обчислювальних пристроїв. Враховуючи те, що багато фірм в останні роки інтенсивно працюють у напрямі створення систем автоматизованого проектування програмних моделей обчислювальних пристроїв та засобів їх високорівневого синтезу, а також генераторів програмних моделей обчислювальних пристроїв, актуальним є завдання систематизації результатів роботи у зазначених напрямках з метою дослідження питання можливості застосування цих результатів для вдосконалення методів та засобів розроблення апаратних прискорювачів обчислень в комп’ютерах.

У цій роботі аналізуються сучасні технології і засоби проектування програмних моделей обчислювальних пристроїв та мікроелектронного виробництва, а також тенденції розвитку напрямку високопродуктивних обчислень, в основі якого лежить використання апаратних прискорювачів, та пропонується новий клас прискорювачів обчислень в комп’ютерах, а саме – самоконфігуровні апаратні прискорювачі та концепція їх побудови.

1. Апаратні прискорювачі обчислень в комп’ютерах

Традиційно обчислювально складні завдання виконуються на високопродуктивних обчислювальних системах, до яких, зокрема, належать багатопроцесорні комп’ютерні системи [4, 5], що використовують підхід розпаралелювання обчислювальних процесів. Реальна продуктивність багатопроцесорних комп’ютерних систем, які орієнтовані на традиційні методи організації паралельних обчислень і побудовані на основі серійних мікропроцесорів, часто не перевищує 10–15 % від пікової продуктивності, причиною чого є необхідність реалізації безлічі процедур міжпроцесорного обміну, а також синхронізації послідовних процесів, що виконуються у процесорах системи. Альтернативою цьому підходу є використання апаратних прискорювачів обчислень, що використовуються для прискорення виконання визначеного алгоритму або класу алгоритмів.

Апаратний прискорювач – це пристрій, який виконує обмежений набір функцій для підвищення продуктивності обчислювальної системи або окремих її частин [6]. Він призначений для виконання на апаратному рівні складних алгоритмів обробки великих масивів даних, що вимагає багато часу та ресурсів для їх виконання в програмний спосіб на універсальному комп’ютері. Переважно з використанням апаратного прискорювача час розв’язання задачі на порядок зменшується порівняно з часом розв’язання на універсальному комп’ютері, що дає можливість швидко обробити велику кількість даних. Це досягається завдяки повній розпаралеленості апаратного виконання алгоритму на спеціалізованій інтегральній схемі (наприклад, 3D-Accelerator – прискорювач для обробки відеозображення, де потрібно виконувати багато складних обчислень для створення тривимірних образів, промальовування текстури та динаміки руху об’єктів) [6].

Апаратний прискорювач включається до складу універсального комп’ютера з метою прискорення виконання алгоритму розв’язання конкретних завдань. Існують два базові підходи до реалізації апаратних прискорювачів. Перший полягає у створенні спеціалізованих апаратних прискорювачів, тобто таких, у складі яких міститься спеціалізований процесор, виготовлений на

основі замовних інтегральних схем. Цей підхід забезпечує найвищу продуктивність обчислень прискорювачем, однак внаслідок високої вартості виготовлення замовних інтегральних схем є виправданий тільки в разі масового виробництва, що часто не є доцільним через вузьку функціональну спрямованість. Ледь не єдиним прискорювачем цього типу є прискорювач обробки відеозображень, що традиційно використовується в універсальних комп'ютерах. Другий підхід передбачає використання як бази для реалізації спеціалізованого процесора ПЛІС програмовної логічної інтегральної схеми (анг. FPGA – Field Programmed Gate Array), яка є матрицею програмовних логічних комірок універсальної структури. Програмовні логічні комірки ПЛІС дають можливість створити інтегральну схему спеціалізованого процесора задіянням потрібних логічних елементів комірки та налаштувати зв'язки між ними. Внаслідок закладеної універсальності логічних комірок спеціалізовані процесори, реалізовані на основі ПЛІС (або іншими словами, синтезовані у ПЛІС), поступаються продуктивністю замовним НВІС, однак дають змогу досягти повної розпаралеленості виконання алгоритму.

Використання ПЛІС як базових елементів для створення апаратних прискорювачів дає змогу:

- § налаштувати апаратний прискорювач на виконання конкретного алгоритму не під час виготовлення плати прискорювача, а після її виготовлення шляхом створення спеціалізованої НВІС методом синтезу моделі потрібного спеціалізованого процесора у ПЛІС;
- § переналаштувати апаратний прискорювач на виконання іншого алгоритму шляхом повторного прошивання ПЛІС.

Оскільки цей підхід не передбачає використання замовних НВІС, вартість апаратного прискорювача залежить насамперед від вартості кристала ПЛІС. Крім того, оскільки ПЛІС початково не прив'язана до конкретного обчислювального алгоритму, можливості застосування таких апаратних прискорювачів обмежуються лише функціональними та смісними характеристиками ПЛІС. Плати прискорювачів можуть комплектуватися кількома кристалами ПЛІС для забезпечення можливості досягнення ними необхідних обчислювальних потужностей [7].

2. Реконфігуровні апаратні прискорювачі. Можливість зміни конфігурації ПЛІС (тобто зміни виконуваного нею алгоритму шляхом прошивання у ПЛІС моделі іншого спеціалізованого процесора) лягла в основу підходу створення апаратних прискорювачів, що отримали назву реконфігуровних. Цей підхід сформувався недавно і сьогодні є одним з чільних у напрямку розвитку високопродуктивних обчислювальних систем (НРС – High Performance Computing).

Реконфігуровність апаратного прискорювача означає його здатність змінювати конфігурацію (налаштовувати внутрішню структуру функціональних вузлів та зв'язків між ними) для оптимального відображення особливостей виконуваних ним алгоритмів на апаратному рівні з метою забезпечення максимальної продуктивності їх виконання.

Прикладами задач, для розв'язання яких використовують реконфігуровні прискорювачі, є:

- § виконання складних математичних функцій;
- § реалізація інваріантних до цих алгоритмів (ДКП, ШПФ, фільтри);
- § моделювання різного роду фізичних процесів;
- § розпізнавання цілей;
- § формування діаграми направленості гідролокатора;
- § дешифрування геномів хромосом тощо.

Основною проблемою, з якою стикаються розробники реконфігуровних прискорювачів, є відсутність на ринку програмних моделей обчислювальних пристроїв з потрібними технічними параметрами, що трапляється доволі часто, оскільки розробити всі можливі варіанти програмних моделей обчислювальних пристроїв є нереальним завданням. Це вимагає їх розробки від початку самостійно або зовнішнім виконавцем, що є дорогим та вимагає багато часу. Тому перспективним напрямом розвитку технологій проектування є розроблення засобів, які б автоматично уможливили створювати програмні моделі потрібних обчислювальних пристроїв. Один з варіантів реалізації таких засобів ґрунтується на технології проектування програмних моделей обчислювальних пристроїв з мови високого рівня. Це новітня технологія, що передбачає

автоматичну генерацію програмних моделей обчислювальних пристроїв з описаних мовою високого рівня алгоритмів і дає змогу інженеру досліджувати архітектурні альтернативи та автоматично створювати оптимальні реалізації обчислювальних пристроїв з мови високого рівня.

3. Засоби проектування обчислювальних пристроїв з мови високого рівня. Протягом багатьох років зусилля розробників НВІС були сконцентровані на розв'язанні задач функціонального проектування на рівні регістрових передач (Register Transfer Level, RTL). Відповідно в сфері розроблення засобів автоматизації проектування основні інвестиції скеровувалися в розвиток засобів синтезу, моделювання і верифікації на RTL-рівні. Однак в останні роки розробники НВІС та САПР стали звертати увагу на системний рівень проектування (Electronic System Level – ESL). Потребу в засобах проектування на системному рівні спричиняє збільшення розмірів проектів та бажання зменшити витрати на проектування. Основною метою створення засобів проектування на системному рівні є спрощення процесу проектування, в якому передбачається, що розробнику не потрібно досконально володіти схемотехнічними навичками, а лише уміти програмувати мовою високого рівня. Мови проектування ESL більш схожі за синтаксисом та семантикою до популярної мови ANSI C, ніж до мов опису апаратних засобів, таких як Verilog чи VHDL.

Інтеграція технології проектування програмних моделей обчислювальних пристроїв і засобів проектування ESL дає змогу виконувати конфігурування на вищому рівні. Це, своєю чергою, дасть можливість знайти оптимальне співвідношення між продуктивністю розробленого високопродуктивного прискорювача та витратами на його створення. Під витратами розуміємо як апаратні витрати на реалізацію, так і витрати на розробку, що у підсумку відіб'ється на ціні кінцевого продукту.

Існуючі засоби проектування на системному рівні можна поділити на два класи. До першого класу належать засоби, які використовують підхід переведення опису обчислювального пристрою мовою високого рівня в логічні вентиля ПЛІС. Інший клас систем використовує підхід створення обчислювального пристрою конфігуруванням його базової програмної моделі.

Схему роботи засобів проектування на системному рівні, які використовують підхід переведення опису обчислювального пристрою мовою високого рівня в логічні вентиля ПЛІС, зображено на рис. 1.

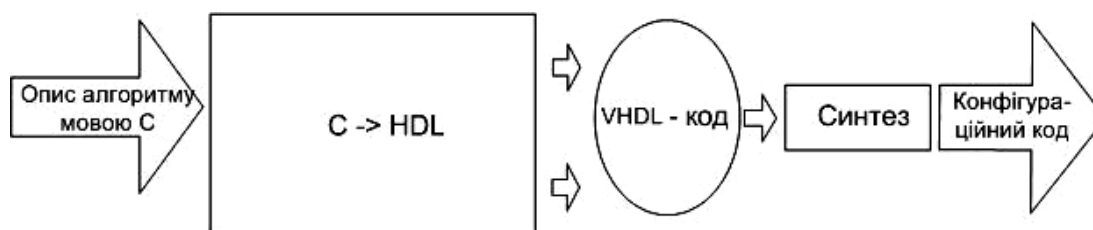


Рис. 1. Схеми роботи засобів проектування на системному рівні, які використовують підхід переведення опису обчислювального пристрою мовою високого рівня в логічні вентиля ПЛІС

Суть такого підходу полягає у тому, що з опису алгоритму мовою високого рівня розраховуються параметри обчислювального пристрою та генерується програма прошивки ПЗП команд. Ці параметри та програма прошивки ПЗП є вхідними для конфігуратора, який з універсальної VHDL-моделі виділяє тільки потрібні вузли кінцевого пристрою. Засоби компіляції з мови високого рівня перетворюють опис алгоритму роботи пристрою в код опису його архітектури мовою VHDL, з якої формується конфігураційний код моделі обчислювального пристрою. При цьому в існуючих засобах використовується модифікований варіант мови C, наприклад, Mentor Graphics використовує IEEE standard System C, Celoxica – Handle C, Nallatech – DIME C, Impulse – Impulse-C, Mitronics – Mitrion-C.

Засоби проектування на системному рівні, що використовують підхід створення обчислювального пристрою конфігуруванням його базової програмної моделі, працюють за схемою,

показано на рис. 2. Опис алгоритму мовою високого рівня подається на вхід компілятора, який перетворює цей опис в певний проміжний код. Пізніше на основі цього коду конфігуратор визначає параметри кінцевого пристрою та генерує його програмну модель.



Рис. 2. Схема роботи засобів проектування на системному рівні, які використовують підхід конфігурування базової програмної моделі обчислювального пристрою

Отже, щоб створити систему проектування обчислювальних пристроїв з мови високого рівня шляхом конфігурування базової програмної моделі, необхідно розробити три підсистеми – компілятор, базову програмну модель обчислювального пристрою та конфігуратор. Ці засоби шляхом компіляції з мови високого рівня перетворюють алгоритм роботи пристрою в код опису його архітектури мовою VHDL, з якої формується конфігураційний код моделі обчислювального пристрою для реконфігурованого прискорювача. При цьому в більшості з них використовується модифікований варіант мови С.

4. Генератори програмних моделей обчислювальних пристроїв. Генератором програмних моделей обчислювальних пристроїв називають програмну систему, яка включає конфігуровану програмну модель обчислювального пристрою та засоби її конфігурування [8]. Генератори програмних моделей обчислювальних пристроїв автоматично генерують визначені програмні моделі відповідно до значень вхідних конфігураційних параметрів. Вхідні та вихідні дані генератора програмних моделей обчислювальних пристроїв зображено на рис. 3 (P_i – i -й конфігураційний параметр).

Принципи роботи генератора та його реалізація можуть бути різними. Результатом роботи генератора є програмні моделі обчислювальних пристроїв, написані однією або кількома мовами опису апаратних засобів, системи тестування програмних моделей, командні скрипти для виконання їх компіляції, симуляції та синтезу, документація користувача тощо.

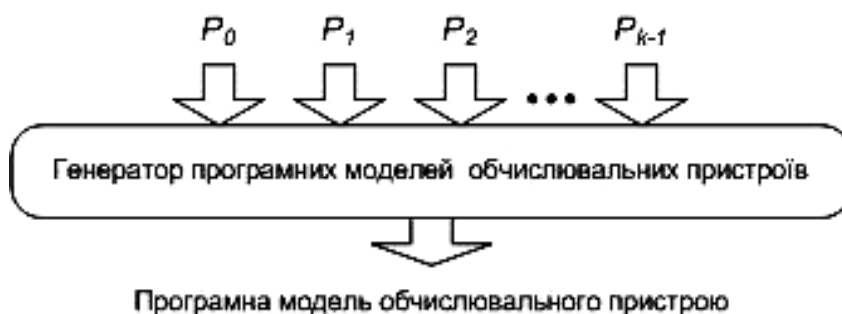


Рис. 3. Вхідні та вихідні дані генератора програмних моделей обчислювальних пристроїв

Кількість програмних моделей обчислювальних пристроїв, які можуть генеруватися, визначається кількістю k конфігураційних параметрів P_i ($i = 0, 1, 2, \dots, k - 1$), що надходять на вхід генератора, та взаємними відношеннями між ними.

5. Системи автоматизованого високорівневого синтезу програмних моделей спеціалізованих процесорів. Науково-виробниче підприємство “Інтрон” [9] розробило програмну систему

ХАМЕЛЕОН для автоматичної генерації програмних моделей спеціалізованих процесорів на основі попереднього опису, створеного мовою С. Система ХАМЕЛЕОН [10] призначена для автоматизації праці проєктувальників спеціалізованих процесорів і уможливує в сотні разів скоротити кількість людино-годин, необхідних для проєктування і тестування спеціалізованих процесорів на програмованих мікросхемах порівняно з розробкою традиційними засобами. Базову схему роботи системи ХАМЕЛЕОН показано на рис. 4.



Рис. 4. Базова схема роботи системи ХАМЕЛЕОН

Вхідними даними для проєктування спеціалізованих процесорів в системі ХАМЕЛЕОН є опис виконуваного алгоритму мовою високого рівня та специфікація інтерфейсу і характеристики спеціалізованих процесорів. У тестовому зразку системи як мови опису алгоритму використано мову С. Базовою платформою для синтезу спеціалізованих процесорів з мови високого рівня є нарощувана архітектура конфігуровного процесора, яка забезпечує вибір за допомогою конфігураційних параметрів: кількості функціональних блоків, складу системи команд кожного функціонального модуля, обсягу та складу пам'яті програм та даних, структури комунікаційної мережі. Програмні засоби системи забезпечують синтез цих вузлів та спеціалізованих процесорів загалом, а також генерацію їхнього опису мовою VHDL.

6. Концепція побудови самоконфігурованих апаратних прискорювачів. На основі вищевикладеного аналізу сучасних технологій і засобів проєктування програмних моделей обчислювальних пристроїв та мікроелектронного виробництва, а також тенденцій розвитку напряму високопродуктивних обчислень, вимальовується нова концепція побудови апаратних прискорювачів, яка використовує:

- 1) технологію проєктування програмних моделей обчислювальних пристроїв на рівні регістрових передач;
- 2) системи автоматизованого високорівневого синтезу програмних моделей спеціалізованих процесорів;
- 3) підхід до реалізації апаратних прискорювачів на основі ПЛІС.

Ця концепція орієнтована на автоматизоване високорівневе проєктування апаратних прискорювачів на основі ПЛІС. Враховуючи особливості рівня автоматизації процесів створення програмних моделей обчислювальних пристроїв та конфігуруванню ПЛІС прискорювача, за якого на вході задається опис алгоритму мовою високого рівня та вказуються значення параметрів спеціалізованого процесора і на виході отримується апаратний прискорювач, можемо говорити, що ця

концепція є основою створення перспективних методів та засобів проектування апаратних прискорювачів з найвищим ступенем автоматизації процесу проектування. Назвемо її концепцією побудови самоконфігурованих апаратних прискорювачів. Термін «самоконфігуровний» до апаратних прискорювачів вжито вперше, і він говорить про те, що створення програмної моделі спеціалізованого процесора, який буде синтезовано у ПЛІС, та конфігурування прискорювача (тобто кристала(ів) ПЛІС) виконується автоматично без участі користувача, враховуючи введені ним параметри прискорювача та високорівневого опису алгоритму його функціонування. Отже, самоконфігуровні апаратні прискорювачі є новим класом засобів прискорення обчислень в комп'ютерах.

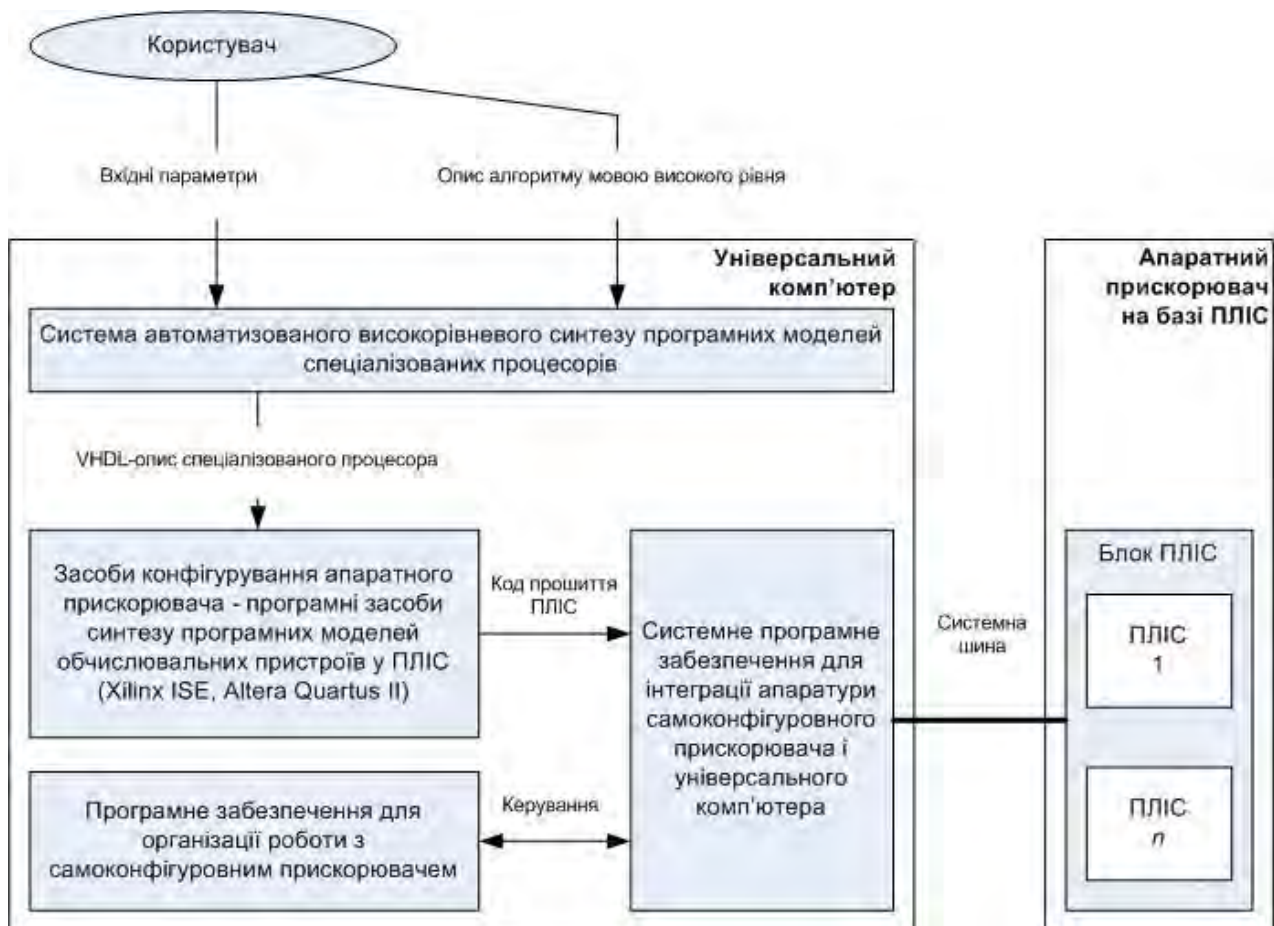


Рис. 5. Концепція побудови самоконфігурованих апаратних прискорювачів

На рис. 5 показано концепцію побудови самоконфігурованих апаратних прискорювачів на рівні взаємодії необхідних програмних засобів універсального комп'ютера з апаратним прискорювачем на основі ПЛІС. Система проектування самоконфігурованих апаратних прискорювачів функціонує на основі універсального комп'ютера та апаратного прискорювача на основі ПЛІС. До її складу зараховують:

- § апаратний прискорювач, побудований на основі однієї чи кількох ПЛІС;
- § систему автоматизованого високорівневого синтезу програмних моделей спеціалізованих процесорів, з якою взаємодіє користувач. Необхідно зазначити, що функцію цієї системи може виконувати як вищеописана система ХАМЕЛЕОН або їй подібна, так і засоби проектування обчислювальних пристроїв на системному рівні або генератори програмних моделей обчислювальних пристроїв [11] чи систем на кристалі [12]. Кожна з цих систем визначатиме рівень параметризації та спектр виконуваних апаратним прискорювачем алгоритмів. У разі застосування генераторів (на рис. 5 не показано) відпадає потреба введення опису алгоритму мовою високого рівня, оскільки множина виконуваних

алгоритмів є наперед визначеною генератором і процес генерації виконується виключно на основі введених конфігураційних параметрів;

- § засоби конфігурування прискорювача, в якості яких пропонується використати наявні на ринку програмні засоби синтезу програмних моделей обчислювальних пристроїв у ПЛІС, що постачаються фірмами-виробниками цих ПЛІС;
- § програмне забезпечення для організації роботи з самоконфігуровним прискорювачем, завданням якого є завантаження вхідних даних до прискорювача для виконання завдань та отримання від нього результатів;
- § системне програмне забезпечення для інтеграції апаратури самоконфігуровного прискорювача та універсального комп'ютера, що є, по суті, драйвером самоконфігуровного прискорювача.

Взаємодія універсального комп'ютера з самоконфігуровним прискорювачем виконується через системну шину. На основі проведених раніше досліджень можемо сказати, що оптимальним для організації такої взаємодії сьогодні є інтерфейс PCI Express. Базова архітектура системи для організації взаємодії між універсальним комп'ютером та самоконфігуровним прискорювачем складається з трьох частин: API користувача, драйвера рівня ядра операційної системи та апаратної інтерфейсної частини спеціалізованого процесора. Програмне забезпечення для організації взаємодії між універсальним комп'ютером та самоконфігуровним прискорювачем складається з таких частин: драйвера режиму ядра операційної системи, що відповідає за конфігурацію та обмін даними з пристроєм на низькому рівні, та бібліотеки, яка дає змогу програмісту абстрагуватись від запитів рівня драйвера пристрою та працювати на рівні абстрактних запитів до пристрою.

Висновки. На основі аналізу сучасних технологій і засобів проектування програмних моделей обчислювальних пристроїв та мікроелектронного виробництва, а також тенденцій розвитку напрямку високопродуктивних обчислень, в основі якого лежить використання апаратних прискорювачів, у роботі запропоновано новий клас прискорювачів обчислень в комп'ютерах, а саме – самоконфігуровні апаратні прискорювачі та концепцію їх побудови, яка передбачає поєднання процесів автоматичної генерації програмних моделей спеціалізованих процесорів, їх синтезу в ПЛІС реконфігуровного прискорювача та конфігурування прискорювачів без участі користувача, враховуючи введені ним параметри прискорювача та високорівневого опису алгоритму його функціонування.

Враховуючи особливість рівня автоматизації процесів створення програмних моделей обчислювальних пристроїв та конфігурування ПЛІС реконфігуровного прискорювача, за якого на вході задається опис алгоритму мовою високого рівня та вказуються значення параметрів спеціалізованого процесора і на виході отримується апаратний прискорювач, можна стверджувати, що ця концепція є основою створення перспективних методів та засобів проектування апаратних прискорювачів з найвищим ступенем автоматизації процесу проектування.

Застосування концепції побудови самоконфігуровних апаратних прискорювачів дасть можливість користувачам та інженерам максимально спростити та прискорити процес створення апаратних прискорювачів, оскільки відпадає потреба у вимушеному проектуванні програмних моделей спеціалізованих процесорів для реконфігурованих прискорювачів. Крім того, користувач, який не має навиків роботи з ПЛІС, зможе виконувати конфігурування прискорювача максимально швидко (на рівні часу генерації програмної моделі спеціалізованого процесора та часу конфігурування ПЛІС прискорювача) і самостійно, без залучення кваліфікованих спеціалістів.

1. Мельник А., Мельник В.. *Технологія проектування ядер комп'ютерних пристроїв* // Вісн. Нац. ун-ту "Львівська політехніка". – 2002. – № 463: *Комп'ютерні системи та мережі*. – С. 3–9.
2. *IEEE, Standard VHDL Language Reference Manual. Standard 1076–1993*, New York, NY: IEEE, 1993.
3. *IEEE, Standard Verilog Hardware Description Language Reference Manual. Standard 1364–1995*, New York, NY: IEEE, 1995.
4. Мельник А.О. *Архітектура комп'ютера*. – Луцьк: Волинська обласна друкарня, 2008. – 470 с.
5. Таненбаум Э. *Многоуровневая организация ЭВМ*. – М.: Мир, 1979. – С. 121–129.
6. Мельник А. О., Мохаммад Аль Хабабсах. *Програмні спеціалізовані процесори для*

реконфігурованих прискорювачів універсальних комп'ютерів // Науковий вісник Чернівецького університету, 2008. – С. 21–29. 7. www.copacobana.org. 8. Melnyk A. *Newest Computer Devices Design Technology on a Base of Configurable Models / Proceedings of the 1st International Conference “Advanced Computer Systems and Networks: Design and Application”*. September 24–26, 2003, Lviv, Ukraine. – P. 10–12. 9. www.intron-innovations.com. 10. Мельник А.О., Сало А.М., Клименко В., Циглик Л., Юрчук А. ХАМЕЛЕОН – система високорівневого синтезу спеціалізованих процесорів // Наук.-техн. журн. Національного аерокосмічного університету ім. М.Є. Жуковського «Харківський авіаційний інститут». – Харків, 2009. – № 5. – С. 189–195. 11. Melnyk A., Melnyk W. *IP Cores Generators in SoC Design // Proceedingd of the 5th international Conference for Students and Young Scientists „Telecommunication in XXI Century“*, Poland, Wólka Milanowska, 24–26 November 2005. – P. 23–28. 12. Мельник В.А., Сарайрех З. Побудова генераторів програмних моделей комп'ютерних систем на кристалі // Радіоелектронні і комп'ютерні системи: Наук.-техн. журн. Національного аерокосмічного університету ім. М.Є. Жуковського “Харківський авіаційний інститут”. – Харків: “ХАІ”, 2010. – № 7 (48). – С. 215–219.

УДК 004.031.43

А.М. Миц

Національний університет “Львівська політехніка”,
кафедра електронних обчислювальних машин

АПАРАТНО-ПРОГРАМНЕ МОДЕЛЮВАННЯ ПІДСИСТЕМИ ВИЗНАЧЕННЯ КООРДИНАТ ЗА МЕТОДОМ ЦЕНТРА МАС

© Миц А.М., 2010

Розглядається апаратно-програмна реалізація алгоритму обчислення координат об'єкта методом центра мас. А саме: обробка вхідного аналогового сигналу, бінаризація кадру, який взято з відеоряду шляхом кадрівання, та визначення координат об'єкта методом центра мас.

Ключові слова: метод центра мас, визначення координат, бінаризація, візуальний контроль.

In the article the hardware and software implementation of algorithm used to calculate the coordinates using the objects center of weight method. Namely, the incoming analog signal processing, binarization frame take video by cropping, and determining the coordinates of the object by its center of weight.

Keywords: method of centre-of-mass, determination of co-ordinates, binarization, visual control.

Вступ. В основу забезпечення безпеки польотів в аеропортах покладено сучасні програмно-апаратні комплекси, що автоматизують збір та обробку інформації, контроль за літальними апаратами в зоні аеропорту. Важливе місце в автоматизованій мікроконтролерній системі контролю за повітряною обстановкою у зоні злітно-посадкової смуги та у прилеглому просторі аеропорту займає підсистема визначення координат.

Характерною особливістю сучасного етапу розвитку спеціалізованої електронної техніки є збільшення сфери використання мікропроцесорів і цифрових сигнальних процесорів (DSP). Зростаюча продуктивність і простота застосування цифрових сигнальних процесорів (dsp) вивели їх на рівень серйозної альтернативи мікропроцесора. Тому в багатьох випадках потрібне розв'язання