

## ПРИНЦИПИ ОРГАНІЗАЦІЇ ПАМ'ЯТІ НА ОСНОВІ ВЕРТИКАЛЬНО-ІНФОРМАЦІЙНОЇ ТЕХНОЛОГІЇ

© Гуменний П.В., 2010

**Досліджено архітектуру ОЗП і ПЗП у теоретико-числовому базисі (ТЧБ) Радемахера. Наведено порівняльну характеристику кодових матриць у різних базисах. Запропоновано структуру зв'язків процесора на основі вертикально-інформаційної технології та його компонентів, адресного дешифратора у базисі Галуа.**

**Conducted research of RAM and ROM architecture in theoretical-digital basis (TDB) Rademacher. The comparative characteristics of code matrixes in differents bases. The structure links the processor-based in vertical information technology and its components, the address decoder in Galois.**

**Вступ.** Сучасний розвиток МПС (мікропроцесорних систем) вимагає реалізації високо-продуктивних науково-технічних рішень за низькою вартістю. Створення нових біт орієнтованих процесорів на основі вертикально-інформаційної технології спрямоване на реалізацію їх за найнижчою вартістю і потребує використання нових видів *запам'ятовувальних пристроїв* (ЗП). Для зберігання невеликих масивів кодових слів використовуються регістри. Але за необхідності зберігати мільярди слів використання регістрів призводить до невиправдано великих апаратних затрат. Для зберігання великих об'ємів слів будують ЗП з використанням спеціальних мікросхем, у кожній з яких може зберігатися інформація великого об'єму.

**Аналіз публікацій і окреслення наукової задачі.** Аналізуючи наукову літературу та розглядаючи технічні розробки з мікропроцесорної електроніки, варто зазначити, що більшість як світових, так і вітчизняних науковців, розробляючи процесори, акцентують свою увагу на двійкових системах числення (Теоретико-числовий базис Радемахера)[1, 2]. Проте двійкова система числення має певні недоліки – наявність міжрозрядних зв'язків, велика розрядність адресних шин ( $n=32, 64, 128\dots$ ), масштабність реалізації зовнішніх зв'язків на ПЛІС, значне енергоспоживання[3, 4]. Тому виникає перспектива у дослідженні інших теоретико-числових базисів, зокрема ТЧБ: Хаара, Крестенсона, унітарний, Галуа.[5]

З перелічених базисів особливо перспективним являється ТЧБ Галуа як основа вертикально-інформаційної технології.[6]

**Мета роботи.** Метою роботи є створення нового класу процесорів на основі вертикально-інформаційної технології та ТЧБ Галуа.

**Дослідження архітектури ОЗП і ПЗП на основі ТЧБ Радемахера.** За функціями, що виконуються, розрізняють такі типи ЗП:

- *оперативний запам'ятовувальний пристрій (ОЗП);*
- *постійний запам'ятовувальний пристрій (ПЗП);*
- *перепрограмований постійний запам'ятовувальний пристрій (ППЗП).*

Існує два типи ОЗП: статичне й динамічне. Статичне ОЗП конструюється з використанням D-тригерів. Інформація в ОЗП зберігається протягом усього часу, поки до нього подається живлення.

ОЗП передбачають три режими роботи:

- режим зберігання за відсутності звертання до ЗП;
- режим читання слів, що зберігаються;
- режим запису нових слів.

ПЗП призначений для зберігання деякої інформації, яка не руйнується при відмиканні джерела живлення. У ПЗП передбачено два режими роботи:

- режим зберігання;
- режим читання з високою швидкістю.

ЗП вміщує деяке число  $N$  комірок, в кожній з яких може зберігатися слово з деяким числом розрядів  $n$ . Традиційно комірки послідовно нумеруються двійковими числами базису Радемахера. Якщо для подання адрес використовують комбінації  $n$ -розрядного двійкового коду, то число комірок в ЗП може становити  $N=2^n$ .

На (рис. 1) наведено типову структуру мікросхеми ОЗП. Інформація зберігається у накопичувачі. Накопичувач – це матриця, яка складена із елементів пам'яті (ЕП), розташованих уздовж рядків та стовпців. Елемент пам'яті може зберігати 1 біт інформації (логічна 1 або логічний 0). Крім того, він забезпечується керуючими колами для встановлення елемента в будь-який із трьох режимів:

- режим зберігання, в якому він відмикається від входу і виходу мікросхеми;
- режим читання, в якому вміщувана в ЕП інформація видається на вхід мікросхеми;
- режим запису, в якому в ЕП записується нова інформація, що надходить із входу мікросхеми.

Кожному ЕП присвоєно номер, для пошуку потрібного ЕП вказуються рядок і стовпець, які відповідають положенню ЕП в накопичувачі. Адреса ЕП у вигляді двійкового числа приймається по шині адреси в регістр адреси. Число розрядів адреси зв'язано з ємністю накопичувача. Число рядків і стовпців накопичувача мають дорівнювати цілому степеню 2. І якщо число рядків  $N_{\text{ряд}} = 2^{n_1}$ , і число стовпців  $N_{\text{стовп}} = 2^{n_2}$ , то загальне число ЕП (ємність накопичувача)

$$N = N_{\text{ряд}} N_{\text{стовп}} = 2^{n_1} * 2^{n_2} = 2^{n_1+n_2} = 2^n, \quad (1)$$

де  $n = n_1+n_2$  – число розрядів адреси, яка приймається у регістр адреси.

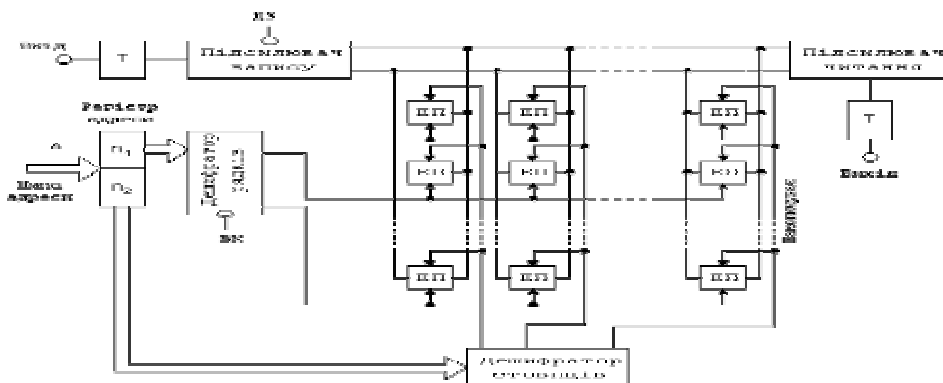


Рис. 1. Структура мікросхеми ОЗП

Розряди регістра адреси поділяють на дві групи: одна група в  $n_1$  розрядів визначає двійковий номер рядка, в якій в накопичувачі розміщений ЕП, інша група в  $n_2$  розрядів визначає двійковий номер стовпця, в якому розміщений ЕП, що вибирається. Кожна група розрядів адреси подається на відповідний дешифратор: дешифратор рядків і дешифратор стовпців.

На рис. 2 показано умовне графічне позначення мікросхеми ОЗП.

Мікросхеми ОЗП допускають нарощування ємності пам'яті шляхом нарощування розрядності (розрядності збережуваних в них слів) і нарощування числа комірок (числа слів, які можна зберігати у пам'яті). Отже, використовуючи відповідне число мікросхем у певному сполученні, можна побудувати пам'ять з необхідною організацією.

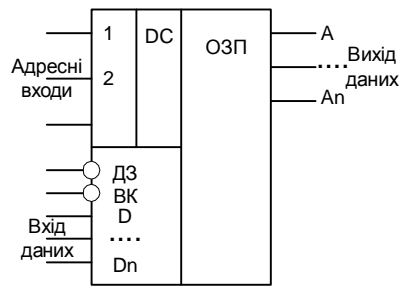


Рис. 2. Умовне позначення мікросхеми ОЗП

Відмінність ПЗП від ОЗП полягає в тому, що інформація в комірки записується одноразово, після чого в процесі експлуатації використовується лише режим читання. За способом занесення інформації ПЗП поділяють на два види: ПЗП, програмовані маскою на підприємстві-виробнику, ПЗП, програмовані користувачем.

Запам'ятовувальні пристрої характеризуються за такими системними ознаками:

- *Обсяг пам'яті пристрою*, який характеризує його здатність зберігати велику кількість програм і даних.

- *Розрядність пам'яті*, яка визначає діапазон чисел, розміщених у комірках. Цей показник тісно пов'язаний з розрядністю шини даних процесора, адже саме по цій шині інформація з пам'яті надходить до нього на обробку.

- *Швидкодія пам'яті*, яка характеризує витрати часу на занесення даних (запис) та на отримання їх назад (читання). Діапазон цього показника доволі широкий: від кількох мілісекунд для накопичувачів на жорстких дисках і до наносекунд для сучасних ОЗП.

- *Енергоспоживання та геометричні розміри* визначають ефективність використання того чи іншого типу пам'яті у конкретному обчислювальному пристрої. Особливо гостро стоїть проблема зниження розмірів та споживаної електроенергії для портативних переносних комп'ютерів, які мають працювати в автономному режимі 4–5 годин.

Проведений аналіз запам'ятовуючих пристроїв вказує, що переважна більшість класифікацій організована в базисі Радемахера (двійкові системи числення).

**Аналіз і дослідження відомих рішень.** Загальний аналіз джерел у галузі інформаційних технологій показує, що переважна більшість мікропроцесорних та запам'ятовувальних пристроїв (МПС та ЗП) побудована на основі теоретико-числового базиса (ТЧБ) Радемахера (двійкова система числення), а тому потрібно дослідити й інші ТЧБ – це базиси унітарний (а), Радемахера (б), Крестенсона (в), Галуа (г).

$$\begin{array}{c}
 \begin{array}{c}
 \left| \begin{array}{cccc}
 0 & 0 & 0 & \dots & 0 & 0 \\
 1 & 0 & 0 & \dots & 0 & 0 \\
 1 & 1 & 0 & \dots & 0 & 0 \\
 1 & 1 & 1 & \dots & 0 & 0 \\
 \dots & \dots & \dots & \dots & \dots & \dots \\
 1 & 1 & 1 & \dots & 1 & 0 \\
 1 & 1 & 1 & \dots & 1 & 1
 \end{array} \right| \\
 M_{\text{uni}} = \\
 \text{а}
 \end{array}
 \qquad
 \begin{array}{c}
 \left| \begin{array}{cccc}
 0 & 0 & 0 & 0 & 0 & 0 \\
 0 & 0 & 0 & \dots & 0 & 1 \\
 0 & 0 & 0 & \dots & 1 & 0 \\
 0 & 0 & 0 & \dots & 1 & 1 \\
 \dots & \dots & \dots & \dots & \dots & \dots \\
 1 & 0 & 0 & \dots & 0 & 0 \\
 1 & 0 & 0 & \dots & 0 & 1 \\
 1 & 0 & 0 & \dots & 1 & 0 \\
 \dots & \dots & \dots & \dots & \dots & \dots \\
 1 & 1 & 1 & \dots & 1 & 0 \\
 1 & 1 & 1 & \dots & 1 & 1
 \end{array} \right| \\
 M_{\text{Rad}} = \\
 \text{б}
 \end{array}
 \qquad
 \begin{array}{c}
 \left| \begin{array}{cccc}
 P_1 & P_2 & \dots & P_n \\
 0 & 0 & \dots & 0 \\
 1 & 1 & \dots & 1 \\
 2 & 2 & \dots & 2 \\
 0 & 3 & \dots & 3 \\
 1 & 4 & \dots & 4 \\
 2 & 0 & \dots & 5 \\
 0 & 1 & \dots & 6 \\
 \dots & \dots & \dots & \dots \\
 a_1 & a_2 & \dots & a_n
 \end{array} \right| \\
 M_{\text{Cres}} = \\
 \text{в}
 \end{array}
 \qquad
 \begin{array}{c}
 \left| \begin{array}{c}
 1 \\
 1 \\
 1 \\
 1 \\
 0 \\
 1 \\
 0 \\
 0
 \end{array} \right| \\
 M_{\text{Gal}} = \\
 \text{г}
 \end{array}
 \end{array}$$

Рис. 3. Кодові матриці дискретних базисів

Перспективним напрямком розвитку організації систем реального часу є використання інкрементних перетворювачів з системою кодування приростів кодами поля Галуа. Ця технологія отримала назву вертикально-інформаційної технології (ВИТ) [6], теоретичною основою якої є

рекурентне кодування у базисі Галуа [5]. Важливою характеристикою кожного базису є кількість кодових комбінацій  $N$  і об'єм  $V$  кодової матриці, що визначає надлишковість представлення інформації

$$V = n \cdot N, \quad (1)$$

де  $n$  – розрядність числа,  $N$  – число незалежних кодових значень.

Оцінка ефективності кодових базисів проводиться за виразом:

$$K_{\text{ефект}} = \frac{N}{V}, \quad (2)$$

де  $K_{\text{ефект}}$  – коефіцієнт ефективності кодових базисів,  $N$  – кількість кодових комбінацій,  $V$  – об'єм кодової матриці.

Дослідження виявило, що теоретико-числовий базис (ТЧБ) Галуа є найефективнішим для кодування і представлення інформації, оскільки  $K_{\text{ефект}} = 1$ .

**Розроблення структури і принципи побудови процесора на основі ВІТ.** Розроблення запам'ятовувальних пристроїв на основі вертикально-інформаційної технології вимагає швидкої роботи з процесором та його зовнішніми зв'язками. Спецпроцесор на основі ВІТ передбачає реалізацію біторієнтованих потоків кодів команд та адресів пам'яті процесора. У загальному випадку чіп такого процесора може містити не більше 8 зовнішніх з'єднань (рис. 4), які містять біт-орієнтовані шини:  $Y$  – управління;  $A$  – адреса;  $D$  – даних; та  $C/S$  – вибір кристала;  $W/V$  пристрій введення-виведення [7].

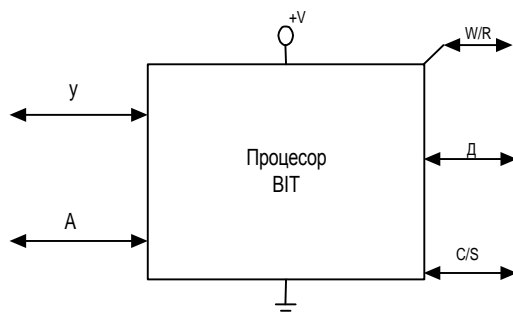


Рис. 4. Структура зовнішньоінформаційних зв'язків ВІТ процесорів

Особливістю реалізації ВІТ є використання рекурентного числового базису Галуа. При цьому, як показано на рис. 6, можлива ефективна реалізація адресного регістра процесора у вигляді генератора послідовності кодів Галуа ( $G_i$ )

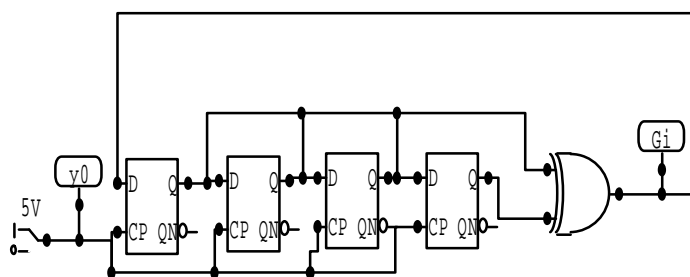


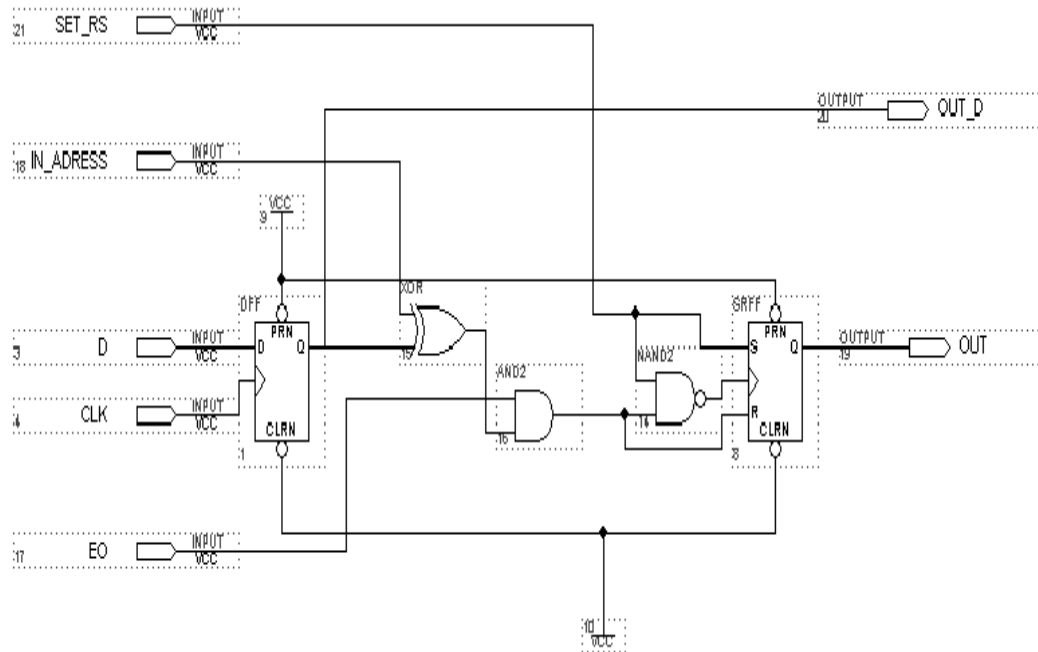
Рис. 5. Структура генератора кодів Галуа на основі регістра із зворотним логічним зв'язком  $y_0$ )  $R_2 = 2^n - 1$ ;

Незважаючи на те, що код Галуа є непоозиційним, в цьому коді існує правило операції рекурсивного зсуву, які дають змогу виконувати арифметичні дії та обчислення над двійковими числами – полями кодів [5].

При цьому потік адресних кодів виконання команд процесора змінюється біторієнтованими потоками коду Галуа. При виконанні операцій інкрементування і декрементування код Галуа є найефективніший, оскільки ці операції виконують шляхом виконання операцій зсуву – паралельно

у всіх розрядах за один такт [5]. Тобто є можливість реалізовувати швидкодіючі прямі алгоритми обчислень, що зумовлені простотою апаратної реалізації.

**Розроблення структури і принципи побудови пам'яті на основі ВІТ.** Для реалізації адресного дешифратора ПКД (пам'ять колективного доступу) [8] на ПЛІС було досліджено його структуру та виявлено, що цей тип дешифраторів має регулярну структуру і складається з однотипних утиліт. На основі однотипної утиліти було спроектовано одноканальний адресний дешифратор Галуа (рис. 6)



IN\_ADDRESS – вхід адресної послідовності каналу;  
 D – інформаційний вхід на тригер регістру зсуву; CLK – вхід синхронізації, EO – вхід дозволяючого сигналу, OUT\_D – вихід тригера регістру зсуву;  
 OUT – вихід i- го каналу, SET\_RS – вхід встановлення RS тригера в одиничний стан;

Рис. 6. Одноканальний адресний дешифратор Галуа

Проведені дослідження при реалізації адресного дешифратора Галуа показали простоту реалізації цього типу елементів цифрової техніки. Завдяки регулярній структурі в даному типі дешифраторів легко змінити кількість каналів адресації, що відкриває перспективу подальшого дослідження та розвитку елементів даного типу.

ПКД на основі ВІТ, складається з таких основних функціональних вузлів:

- дешифратора і комутатора входів;
- комутатора виходів;
- схеми керування записом/зчитуванням;
- схеми синхронізації;
- “поштових скриньок” ОЗП і ПЗП.

Особлива властивість цього пристрою полягає в тому, що функціональні вузли рівномірно розподілені за однаковими блоками. Центральним модулем ПКД є модуль розпізнавання і комутації каналів. Модуль містить логічні елементи “ВИКЛЮЧНЕ АБО”, схеми “І”, “І-НЕ” і тактовані RS-тригери. На схему подаються сигнали попередньої установки (ПУ), дозволу на зчитування і запис (Дзч, Дзап), а також імпульсні послідовності кодових посилок ключових слів для зчитування (Гзч.) і запису (Гзап), які створюються генератором Галуа. Робота пристрою відбувається синхронно за всіма входами, до яких підключені процесорні елементи (Vx1, Vx2, Vx3).

**Висновки.** Проведений аналіз запам'ятовуючих пристроїв свідчить, що можливість використання вертикально-інформаційної технології дасть змогу на кілька порядків знизити структурну та алгоритмічну складність мікропроцесорних систем. Відповідно ці пристрої матимуть менші габарити, більшу швидкодію та надійність. Можливість реалізації таких спецпроцесорів та запам'ятовувальних пристроїв у вигляді окремих кристалів ПЛМ та їх масового застосування в комп'ютерних та телекомунікаційних системах потребує глибокого вивчення для оптимальних умов застосування в конкретних задачах.

1. Майоров С.А., Новиков Г. И. Принципы организации цифровых машин. – Л.: Машиностроение, 1974. – 432 с. 2. Таненбаум Э. Архитектура компьютера, 4-е издание. – СПб.: Питер, 2003. – 700 с. 3. Богданов А.В., Корхов В.В., Мареев В.В., Станкова Е.Н. Архитектуры и топологии многопроцессорных вычислительных систем. 3. Коуги П.М. Архитектура конвейерных ЭВМ: Пер. с англ. – М.: Радио и связь, 1985. – 360 с. 4. Балашов Е.П. и др. Высокопроизводительные специализированные процессоры для вычисления элементарных функций // Электронное моделирование. – 1983. – № 4. – С. 61–65. 5. Николайчук Я.М., Кусик Я.Б. Коды поля Галуа та їх застосування в перетворювачах форм інформації // Тезиси докладов 7-го симпозиума Проблеми создания преобразователей формы информации. – К.: ИКАН Украины. – 1992. 6. Николайчук Я.М., Петришин Л.Б. Вертикальна інформаційна технологія в кодових системах Галуа // Матеріали 2-ї Української конф. з автоматичного керування “Автоматика-95”. – Львів, 1995. – С. 131. 7. Николайчук Я. М., Гуменний П.В. Дослідження архітектури комп'ютерів: принципи побудови процесорів на основі вертикально-інформаційної технології // Поступ в науку: Збірник наукових праць Бучацького інституту менеджменту і аудиту. – Бучач, 2009. – №5. – С. 69–73. 8. Круцкевич Н.Д., Николайчук Я.М. Структура та функції пам'яті колективного доступу на базі кодів Галуа // Вимірювальна та обчислювальна техніка в технологічних процесах: Збірник наукових праць. – Хмельницький: ТУП -2002. Т2. – №9. – С. 126 – 129.