

О.І. Акимішин, В.М. Сокіл
Національний університет “Львівська політехніка”,
кафедра електронних обчислювальних машин

АРХІТЕКТУРА НОВІТНІХ ПРОГРАМОВАНИХ СИСТЕМ НА КРИСТАЛІ CYPRESS SEMICONDUCTOR

© Акимішин О.І., Сокіл В.М., 2010

Програмовані системи на кристалі є відносно новим напрямком проектування вбудованих систем, орієнтованих на інтеграцію різнотипних структур на одному кристалі. Здійснено огляд та аналіз сучасних програмованих систем на кристалі компанії Cypress Semiconductor, що належить до числа світових лідерів у цій галузі.

Ключові слова: програмована система на кристалі, конфігуровні цифрові блоки, конфігуровна аналогова система.

Programmable system-on-chip is quite new area in development of embedded systems that are oriented in integration of various structures on a single chip. The article presents survey and analysis of modern programmable system-on-chip of Cypress Semiconductor Corporation that is one of the world leaders in this industry.

Keywords: programmable System-on-Chip, configurable digital block, configurable analog system.

Вступ. За останнє десятиліття стрімко розвинувся новий напрямок проектування електронної апаратури, а саме, проектування апаратури у вигляді систем на кристалі (СнК). У сучасній технічній літературі сформувався таке визначення СнК[1]: СнК – це НВІС, яка вміщує функціональні вузли закінченого пристрою, інтегрованого на кристалі, для автономного використання в електронній апаратурі. Типовим застосуванням таких схем є широке різноманіття вбудованих систем. СнК може містити як цифрові, так і аналогові вузли. Основним цифровим вузлом зазвичай є процесор, що виконує програмне опрацювання цифрових даних та сигналів. Для виконання спеціалізованих функцій СнК має різноманітні цифрові вузли та аналогові схеми, орієнтовані на конкретну галузь застосування СнК. Залежно від застосування СнК прикладом таких периферійних вузлів є різноманітні таймери, лічильники, логічні елементи, ЦАП, АЦП та інші. До складу СнК можуть входити або під'єднуватися до них у вигляді зовнішніх блоків різноманітні типи модулів пам'яті (SRAM, DRAM, Flash, ROM, EEPROM). Взаємодія із зовнішнім середовищем відбувається з використанням послідовних чи паралельних портів, а також комунікаційних інтерфейсів. Конфігурація вузлів СнК визначається їх функціональним призначенням. Організація зв'язків між вузлами системи може бути цілком різноманітною, включаючи використання стандартизованих шин (типу AMBA) чи спеціалізованих локальних інтерфейсів. Сьогодні системи на кристалі займають одну із найбільших частин ринку мікроелектроніки. Це зумовлено великим інтересом як інженерів-розробників апаратури з використанням СнК, так і виробників елементної бази для СнК, зокрема Texas Instruments, Analog Devices, Altera, Atmel, Xilinx, Cirrus Logic, Cypress, NXP, RDC, Sharp, Marvell, NetSilicon та інших.

Огляд літературних джерел. Одним із способів класифікації СнК є класифікація за типом елементної бази, що використовується для їх реалізації. Вибір елементної бази визначається кількістю кінцевих виробів, часом проектування, складністю СнК тощо. Одним із найпоширеніших класів СнК вважають програмовані системи на кристалі (ПСнК). Під ПСнК у загальному випадку розуміють мікросхему з інтегрованим процесором, пам'яттю, логікою та периферією. При цьому остаточна конфігурація ПСнК програмується інженером під конкретну задачу. Клас ПСнК можна

поділити на підкласи однорідних та блокових систем [2]. В однорідних ПСнК одні і ті самі області кристала під час програмування можуть бути використані для реалізації різних функцій. Зазвичай розробник сам розміщає на кристалі необхідні йому функціональні вузли, так звані soft-ядра. При проектуванні таких систем можна використовувати одиниці інтелектуальної власності (Intellectual Properties, IP) – готові ядра, що реалізують визначену функціональність. Однорідні ПСнК характеризуються високою гнучкістю та універсальністю застосування, однак придбання IP-ядер вимагає значних фінансових затрат.

При блоковій реалізації ПСнК використовуються апаратні, так звані hard-ядра, тобто області кристала, виділенні під конкретно визначені функції, виконані за технологією ASIC. Реалізація hard-ядер знижує універсальність, проте зменшує площу кристала та значно підвищує продуктивність системи загалом.

Аналіз ринку електронних продуктів дає можливість виділити вимоги за функціональними та технічними параметрами до сучасних СнК. Щоб бути конкурентоспроможними на ринку, сучасні СнК повинні володіти [3, 4]:

- унікальним набором функцій;
- розвинутим інтерфейсом користувача;
- високою продуктивністю базової платформи, що, своєю чергою, дасть можливість модернізації системи;
- підтримкою вбудованих операційних систем;
- низьким енергоспоживанням;
- підтримкою графічних кольорових рідкокристалічних дисплеїв з високою роздільною здатністю;
- можливістю зберігання великих обсягів даних, зокрема в енергонезалежній пам'яті та на зовнішніх носіях;
- повним набором дротових та бездротових інтерфейсів.

Постановка задачі. Сьогодні СнК знаходять застосування у всіх галузях науки та техніки, починаючи від мобільних телефонів до супер-ЕОМ. Теоретично, якщо якась СнК переважає іншу за обчислювальною та пропускну здатністю, має більший об'єм пам'яті, то це лише свідчить про вищий ступінь інтеграції та ефективніше використання ресурсів інтегральної мікросхеми. Для оцінки сучасних архітектур СнК недостатньо використовувати такі параметри, як кількість вентилів чи тригерів. Оцінювати сучасні СнК необхідно за їх функціональністю, продуктивністю та ефективністю системи загалом. Не менш важливими параметрами СнК є оптимальність набору функціональних блоків, масштабованість та реконфігурованість. Крім того, розробляючи СнК, необхідно забезпечувати можливість повторного використання готових розробок (IP-ядер) без їх модифікацій. Метою статті є аналіз новітньої розробки ПСнК фірми Cypress Semiconductor, визначення її архітектурних особливостей, огляд функціональних блоків та підсистем.

Основні характеристики ПСнК PSoC®3. Завдяки унікальній матриці конфігурованих блоків нове покоління ПСнК PSoC®3 є справжнім системним рішенням, що поєднує в собі ядро мікроконтролера, підсистему пам'яті, аналогові та цифрові функціональні блоки в одному кристалі. Сімейство кристалів CY8C38 дає змогу використовувати сучасні методи збирання даних, опрацювання сигналів та функцій керування, забезпечуючи високу точність, пропускну здатність та гнучкість у багатьох прикладних галузях. Функціональність аналогової частини охоплює широкий спектр різноманітних сигналів, починаючи з даних термодавачів та закінчуючи ультразвуковими сигналами. Сімейство ПСнК PSoC®3 є високопродуктивною конфігурованою цифровою системою, що містить такі інтерфейси, як USB, I²C та CAN. Окрім комунікаційних інтерфейсів, цифрова частина ПСнК містить програмовану матрицю логічних елементів, гнучку систему комунікацій до системи введення/виведення та одноктактне мікропроцесорне ядро 8051. Основні характеристики PSoC®3:

- Восьмирозрядне процесорне ядро 8051 з максимальною тактовою частотою 67 МГц. Час виконання команди – один цикл.

- Розвинута підсистема пам'яті
 - До 64 Кб флеш-пам'яттю (100 тис. циклів перезапису)
 - До 8 Кб конфігураційної пам'яті типу Flash ECC
 - До 8 Кб ОЗП типу SRAM
 - До 2 Кб ПЗП типу EEPROM
- 24 канали прямого доступу до пам'яті
- Генерування маскованих переривань незалежно для кожного виводу
- Фіксовані цифрові блоки
 - CANbus інтерфейс 2.0b
 - USB 2.0 12 Мб/с
 - 16 розрідні таймер, лічильник та широтно-імпульсний модулятор (ШИМ)
- Бібліотека стандартних периферійних вузлів, що можуть бути реалізовані на конфігурованих цифрових блоках:
 - 8, 16, 24, та 32-бітні таймери, лічильники та ШИМ
 - SPI, UART, I²C
 - Cyclic Redundancy Check (CRC)
 - Генератор псевдовипадкових послідовностей (PRS)
 - LIN Bus 2.0 інтерфейс
 - Квадратурний декодер
- Аналогова периферія (1,71В – 5,5В)
 - Конфігуроване Дельта-Сігма АЦП (12-20 розрядне)
 - 8- бітні ЦАПи за струмом та напругою
 - Компаратори сигналів
- Програмована підсистема синхронізації
 - 3-62 МГц генератор та вузол ФАПЧ
 - 32.768 КГц кварц для годинника реального часу
 - Низькоспоживаючий внутрішній осцилятор 1, 33 та 100 КГц

Особливості архітектури ПСнК PSoC®3. У своїй архітектурі ПСнК PSoC®3 поєднує процесорне ядро (CPU) з дуже гнучкою аналоговою та цифровою підсистемами. Таке поєднання разом з комутаційною матрицею та портами введення-виведення забезпечує високий рівень інтеграції у широкому спектрі задач реалізації побутових, промислових та медичних пристроїв.

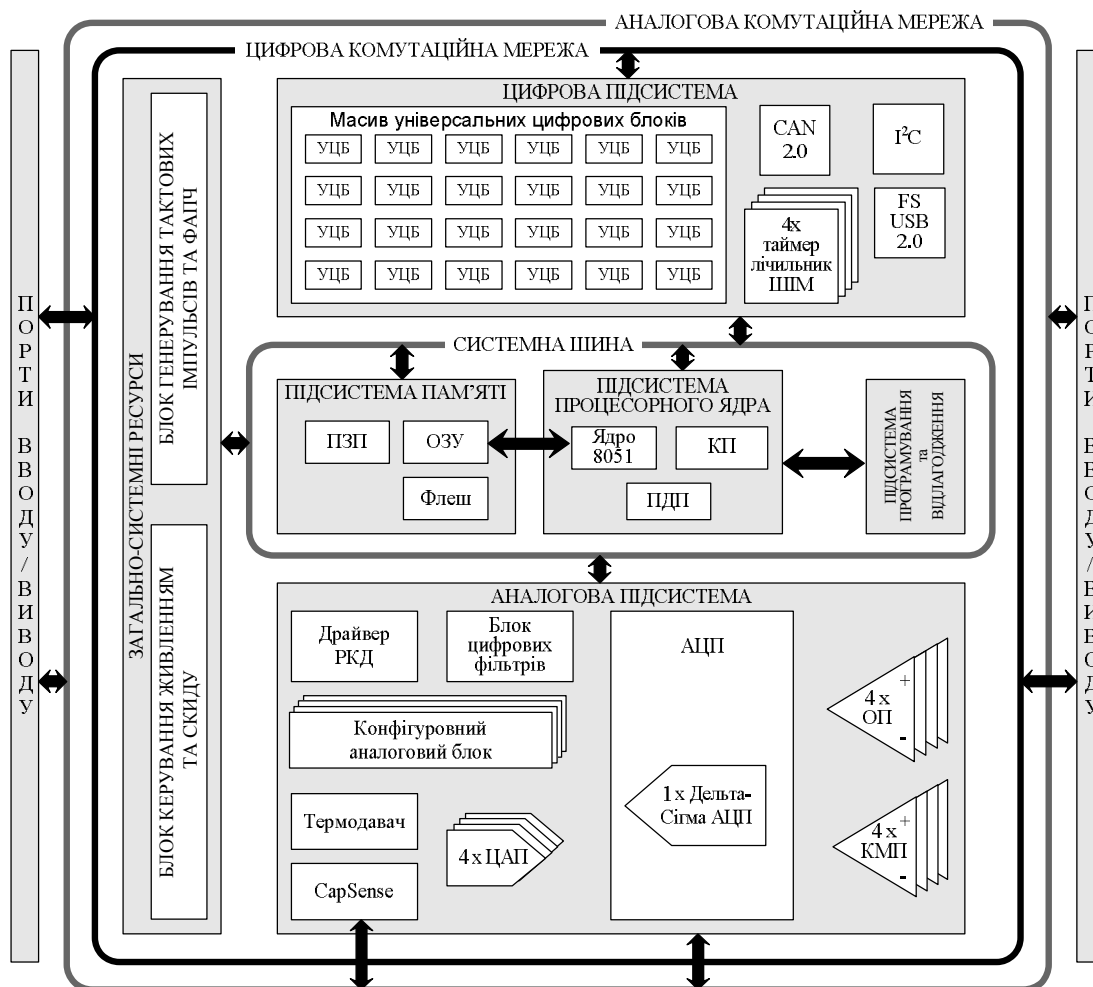
Спрощену структурну схему ПСнК CY8C38 наведено на рисунку. До складу ПСнК входять такі основні частини:

- Процесорне ядро 8051;
- Підсистема пам'яті ;
- Підсистема програмування, відлагодження та тестування;
- Порти введення/виведення;
- Блок генерування тактових імпульсів;
- Блок керування живленням;
- Цифрова підсистема;
- Аналогова підсистема.

Підсистема процесорного ядра. Підсистема CPU PSoC 8051 реалізована на основі одноциклового конвеєризovanого 8-розрядного CPU, здатного працювати на частотах до 67 МГц. Процесорне ядро побудовано на базі конвеєрної RISC архітектури, що виконує більшість інструкцій за 1–2 такти. Це забезпечує пікову продуктивність до 33 MIPS з двома циклами на інструкцію. Набір інструкцій CPU є повністю сумісним з набором MCS-51 та оптимізованим для 8-бітної обробки даних та виконання логічних операцій. Основними типами операцій, що підтримуються, є:

- арифметичні операції;
- логічні операції:

- операції пересилання даних;
- бітові операції;
- операції переходів.



Структурна схема ПСнК PSoC@3

CPU 8051 може адресувати до 64кБ ПЗП типу Flash, 2кБ ПЗП типу EEPROM та до 8кБ ОЗП. Окрім того, інтерфейс для під'єднання зовнішньої пам'яті надає можливість розширення цих ресурсів. Одноциклове ядро 8051 забезпечує приблизно на порядок вищу продуктивність порівняно зі стандартним 8051. Тактова частота ядра є конфігурованою, що дає можливість налаштувати споживану потужність згідно з вимогами конкретної задачі.

Підсистема CPU містить також програмований контролер переривань з підтримкою пріоритетів та контролер прямого доступу до пам'яті (ПДП).

Системна шина та контролер ПДП забезпечують обмін даними між процесорним ядром та периферійними пристроями, а також між периферійними пристроями напряму. Окрім того, системна шина та контролер ПДП забезпечують конфігурування ПСнК під час завантаження.

Системна шина складається з центрального вузла, що містить контролер ПДП, арбітр, маршрутизатор та декількох каналів, що радіально з'єднують центральний вузол з більшістю периферійних пристроїв. Процесорне ядро та контролер ПДП можуть ініціювати обмін даними на шині. Канали ПДП забезпечують обмін даними між периферійними пристроями без участі процесорного ядра. Арбітр центрального вузла визначає, який з запитів на передавання даних буде оброблятися наступним на основі визначених пріоритетів.

Контролер переривань надає апаратній частині механізм для зміни виконання вбудованого ПЗ з нової адреси незалежно від поточної задачі, що виконується в основному циклі. Коли виникає

переривання, виконання поточної інструкції завершується та програмний лічильник зберігається в стеку. Наступною командою, що буде виконуватись, є команда, адреса якої визначається вектором обробки переривання. Після завершення виконання коду обробника переривань інструкція RETI повертає керування на перервану поточну задачу, тобто програмний лічильник відновлюється зі стеку.

Якщо два чи більше переривання мають однаковий пріоритет, першим буде виконуватись переривання з меншим номером вектора. Кожне переривання належить одній з трьох груп: переривання від фіксованих блоків, контролера ПДП чи УЦБ. Переривання від фіксованих блоків мають пряме підключення до контролера переривань (фіксовані лінії запиту переривань). Кожен канал ПДП має пряме підключення до двох ліній запиту переривань. Третьою групою є комутаційна матриця масиву УЦБ. Це дає змогу будь-якому сигналу, доступному через комутаційну матрицю, набувати в якості сигналу запиту переривання. Усі лінії запитів переривань можуть бути комутовані на будь-який вектор переривання за допомогою мультиплексора переривань масиву УЦБ.

Підсистема пам'яті. ПСнК CY8C38 має розвинуту підсистему пам'яті, зокрема:

§ *Статичну ОЗП.* Статична ОЗП ПСнК CY8C38 використовується для тимчасового зберігання даних. Процесорне ядро та контролер ПДП можуть адресувати до 8кБ ОЗП.

§ *ПЗП типу Flash.* Цей тип пам'яті використовується для зберігання коду вбудованого ПЗ, констант, системних даних, конфігурації ПСнК та коду виправлення помилок ЕСС. Основна область Flash містить до 64 кБ вбудованого ПЗ. До 8кБ додаткового простору Flash пам'яті є доступними для даних ЕСС. Якщо контроль ЕСС не виконується, то цей сегмент пам'яті може застосовуватись для зберігання даних та конфігурації ПСнК. ЕСС дає змогу виправляти однократні помилки та виявляти двократні для 8 байтів коду вбудованого ПЗ.

Доступ до Flash пам'яті на читання є порядковим, кожен рядок – 9 байтів: 8 байтів даних та 1 байт ЕСС. Під час читання рядка байти даних зберігаються у 8-мибайтовому буфері інструкцій. Процесорне ядро вибирає код інструкцій з буфера, що підвищує його продуктивність.

Доступ до Flash пам'яті на запис (програмування) здійснюється поблоково через спеціальний інтерфейс. Під час запису виконання коду з Flash пам'яті блокується. Інтерфейс програмування здійснює очистку, програмування та встановлення рівня захисту блоку пам'яті.

Програмування Flash ISSP, що зазвичай застосовується при програмуванні пристроїв під час випуску, може здійснюватись через SWD та JTAG інтерфейси. Оновлення вбудованого ПЗ за допомогою спеціальних завантажувачів також можливе через послідовний інтерфейс, такий як I²S, USB, UART та SPI або будь-який інший комунікаційний протокол.

§ *ПЗП типу EEPROM.* EEPROM в ПСнК є постійною пам'яттю з побайтовим доступом об'ємом 2кБ. Ця пам'ять використовується для енергонезалежного зберігання даних. Вона має довільний доступ на читання, що здійснюється напругу. Запис та стирання EEPROM здійснюється порядково через інтерфейс програмування EEPROM. Під час запису EEPROM можливе виконання коду програми з Flash пам'яті. Весь об'єм EEPROM розділений на 128 рядків по 16 байтів кожен. Процесорне ядро не може вибрати дані EEPROM як виконавчий код. Також EEPROM не має апаратної підтримки ЕСС.

Підсистема введення/виведення. Підсистема введення-виведення ПСнК є надзвичайно гнучкою. Кожна лінія введення-виведення забезпечує можливість роботи як з аналоговими, так і з цифровими сигналами. У різних режимах ПСнК також підтримує до чотирьох різних рівнів напруг введення-виведення, що задаються окремими входами Vddio. Існує три типи ліній введення-виведення: загального призначення, спеціального призначення та USB порт.

Лінії загального та спеціального призначення мають однакову функціональність для роботи з цифровими сигналами. Їх основною відмінністю є різні можливості роботи з аналоговими сигналами та навантажувальна здатність. USB порт має дві лінії введення-виведення, що підтримують специфічну USB функціональність та мають обмежені можливості роботи з цифровими сигналами.

Всі лінії введення-виведення є доступними для застосування у вигляді цифрових входів та виходів для CPU та цифрових периферійних пристроїв. Окрім того, всі лінії можуть бути джерелом переривання. Гнучкість підсистеми введення-виведення разом з можливістю комутації будь-якого сигналу з будь-якою лінією введення-виведення надзвичайно спрощує проектування зовнішньої схеми та друкованих плат.

Всі лінії введення-виведення можуть використовуватись як аналогові входи для роботи з CapSense сенсорами та для керування сегментами LCD. Спеціальні лінії введення-виведення можуть працювати з амплітудами сигналів, що перевищують напругу живлення та видавати на виході сигнали програмованої амплітуди.

Загальносистемні ресурси. *Підсистема синхронізації.* Підсистема синхронізації забезпечує генерування, ділення та розповсюдження тактових імпульсів до всіх частин ПСнК.

ПСнК містить гнучку систему внутрішніх генераторів тактових імпульсів, що мають високу стабільність та налаштовані під час виготовлення з високою точністю. Внутрішній осцилятор ІМО, що є базовим джерелом тактових імпульсів, має точність 1% на частоті 3МГц. Залежно від конфігурації ІМО може генерувати частоти від 3 до 62 МГц.

Вузол ФАПЧ дає змогу генерувати системні тактові імпульси з частотою від 24 до 67МГц, використовуючи як джерело ІМО зовнішній осцилятор частотою 4-33 МГц або зовнішній сигнал синхронізації частотою до 33 МГц.

Система генераторів тактових імпульсів містить також окремий внутрішній низькочастотний осцилятор ІЛО (частотою 1кГц, 33кГц або 100кГц), що застосовується в режимах з низьким рівнем споживаної потужності. Підтримка зовнішнього осцилятора частотою 32768Гц дає змогу легко побудувати годинник реального часу (RTC).

За допомогою восьми 16-розрядних подільників формуються необхідні частоти синхроімпульсів цифрової частини ПСнК, аналогова частина може використовувати чотири подільника. Процесорне ядро має свій окремий подільник.

§ *Система живлення.* Система живлення складається з окремих ліній живлення аналогової, цифрової систем та системи введення-виведення Vdda, Vddd, та Vddiox відповідно. Два внутрішні регулятори напруги 1.8В забезпечують живлення внутрішньої логіки ядра. Окрім того, кожен з режимів зниженого енергоспоживання використовує свій власний регулятор напруги.

§ *Системне скидування.* Системне скидування CY8C38 може бути ініційовано внаслідок декількох типів подій у системі, зокрема:

- контроль живлення. Сигнал скидування може генеруватись у результаті відхилення аналогової чи цифрової напруг живлення більш ніж на певну величину від заданого діапазону;
- зовнішній сигнал скидування по лінії XRES;
- генерування сигналу скидування від WDT таймера. WDT контролює виконання інструкцій процесорним ядром. Якщо протягом заданого інтервалу не виконується програмного скидування WDT таймера, то він генерує сигнал системного скидування;
- програмне скидування.

Цифрова підсистема. Особливістю цифрової підсистеми є сукупність стандартних та спеціалізованих периферійних блоків, а також програмованих логічних схем. Це дає змогу створювати вбудовані системи у широкому діапазоні прикладних задач.

Взаємозв'язок підсистеми з комутаційною матрицею та портами введення-виведення забезпечує високий рівень гнучкості та захищеності інтелектуальної власності.

Основними компонентами цифрової підсистеми є:

- універсальні цифрові блоки (УЦБ), що утворюють базову функціональність підсистеми. Кожен УЦБ поєднує універсальну програмовану логіку на базі ПЛМ та фіксований апаратний блок (тракт даних), оптимізований для створення типових апікацій вбудованих систем;
- масив УЦБ, що складається з множини УЦБ та набору з'єднань між ними. Масив має однорідну структуру, що забезпечує високу гнучкість розміщення функціональних блоків. Масив

УЦБ під'єднаний до цифрової комутаційної матриці, що забезпечує взаємозв'язок УЦБ з рештою підсистем ПСнК;

– цифрова комутаційна матриця. Цифрові сигнали з УЦБ, фіксованих апаратних блоків, портів введення-виведення, лінії переривань, каналів ПДП з'єднуються з цифровою комутаційною матрицею, досягаючи цим самим максимального взаємозв'язку між усіма підсистема в середині ПСнК. Будь-який вхід/вихід цифрової підсистеми комутується з будь-яким зовнішнім входом/виходом кристала.

Аналогова підсистема. Аналогова підсистема за своєю суттю є комбінацією стандартних та спеціалізованих блоків опрацювання аналогових сигналів з можливістю програмування їх функцій під визначену задачу. Кожен блок під'єднаний до аналогової комутаційної мережі, що забезпечує високу гнучкість з'єднань блоків між собою та підсистемою введення-виведення ПСнК. Основними характеристиками ПСнК PSoC®3:

- Гнучка конфігуровна комутаційна мережа аналогових блоків.
- Конфігуровний дельта-сігма АЦП з високою роздільною здатністю.
- 4 ЦАП з можливістю конфігурації виходів за струмом чи напругою.
- 4 компаратора.
- 4 універсальні аналогові блоки на основі схем з комутуваними конденсаторами, які призначені для реалізації підсилювачів з програмованим коефіцієнтом підсилення, диференціальних підсилювачів, мікшерів та інших аналогових вузлів.
- 4 операційні підсилювачі для внутрішнього використання або реалізації вихідних буферів високого струму.
- Підсистема CapSense для підключення та опрацювання сигналів з ємнісних сенсорів. Вимірювання ємності використовують у тих областях, де вимагається створення безконтактних перемикачів (сенсорів) для інтерфейсів з користувачем.
- Інтегровані високоточні джерела аналогових опорних напруг для внутрішніх аналогових блоків.

Інтегроване середовище розроблення PSoC Creator. Всі ПСнК фірми Cypress підтримуються та програмуються в інтегрованому середовищі розроблення PSoC Creator. PSoC Creator є середовищем сумісного розроблення апаратних і програмних засобів (hardware/software co-design), що поєднує інструменти розроблення програмних засобів мовою C, апаратних засобів шляхом RTL-описів мовою Verilog та на рівні функціональних схем, розроблення інтерфейсів користувача мовою C#, засоби тестування та відлагодження тощо. Бібліотека PSoC Creator містить набір готових компонент, які можна вводити в проект системи як завершені функціональні блоки. Для кожної компоненти в бібліотеці поставляється супровідна документація з повним описом її функціоналу. Важливою характеристикою середовища є можливість створення власної бібліотеки компонент, що можуть повторно бути використаними надалі. Середовище розроблення PSoC Creator можна завантажити за посиланням:

<http://www.cypress.com/?rID=39551>

Приклади проектів для PSoC®3, що допоможуть зробити перші кроки та ознайомитись з ПСнК, викладені за адресою:

<http://www.cypress.com/?app=search&searchType=advanced&keyword=&rtID=113&id=0&applicationID=0&l=0>

Висновки. Нове покоління PSoC®3 фірми Cypress Semiconductor поєднує в собі переваги однорідних та блокових ПСнК. З одного боку, цифрова підсистема PSoC®3 є масивом однорідних блоків (УЦБ), які можуть бути використані для реалізації різних функцій. Проте, з іншого боку, структура самих УЦБ є блоковою, тобто області кристала в межах УЦБ можуть бути використанні для реалізації визначених функцій. Також, окрім масиву УЦБ, цифрова частина містить фіксовані апаратні блоки визначеного призначення, такі як I²C, USB 2.0, CAN 2.0 тощо.

Додатковою перевагою ПСнК Cypress Semiconductor є наявність у складі середовища розроблення бібліотеки компонент різного рівня складності та ієрархії, починаючи від логічних примітивів до інтерфейсів I2C, SPI, UART, контролерів графічних дисплеїв, що значно спрощують проектування системи кінцевої системи, зменшуючи тим самим час розроблення та виходу продукту на ринок.

Безсумнівно, ПСнК не зможуть замінити СнК у вигляді ASIC, що орієнтовані на високобюджетні проекти із заданими технічними характеристиками. Основними перспективами використання ПСнК є мало- та середньосерійні проекти з обмеженими вимогами до параметрів СнК.

1. Шагури И. Системы на кристалле. Особенности реализации и перспективы применения // *Электронные компоненты*, 2009. – №1. – С.37–39. 2. Пахолков Р., Мозолевский В. Современная система на кристалле – основа успешного продукта // *Современная электроника*, 2007. – № 6. – С.72–74. 3. Корчинский А.П., Бурицева Н.В. Применение программируемых логических интегральных схем в электронной аппаратуре // *Электроника та системи управління. Інститут електроніки та систем управління, НАУ.* – 2009. – №4(22). – С.5–13. 4. Зотов В.Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы Xilinx. –М.: Горячая линия – Телеком, 2006. – 520 с. 5. PSoC® 3: CY8C38 Family Datasheet – Режим доступу: <http://www.cypress.com/?rID=35178>

УДК 681.31

І.Б. Албанський

Карпатський державний центр інформаційних засобів і технологій

СПЕЦПРОЦЕСОРИ КОРЕЛЯЦІЙНОЇ ОБРОБКИ ІНФОРМАЦІЇ В РІЗНИХ ТЕОРЕТИКО-ЧИСЛОВИХ БАЗИСАХ

© Албанський І.Б., 2010

Наведено архітектуру мультибазисних процесорів та математичну основу теоретико-числових базисів Радемахера, Крестенсона. Показано переваги та функціональні обмеження процесорів обчислення автоковаріаційних функцій у базисі Радемахера. Обґрунтовані перспективи застосування базису Крестенсона для побудови кореляційних спецпроцесорів.

Present multybazysnyh architecture processors and mathematical foundation of theoretic bases Rademacher Krestensona. The advantages of functional limitations and processor computing functions in the basis avtokovariatsiynyh Rademacher. Reasonable prospects of building a basis for correlation Krestensona special processors.

Вступ. У сучасному світі спецпроцесори кореляційної обробки сигналів знаходять широке застосування як цифрові фільтри та цифрових приймачі у телекомунікаційних комп'ютерних системах. Використовуються також для швидкодіючої обробки зображень розпізнавання образів у цифровій томографії. Основним завданням спецпроцесорів названого призначення було зменшення об'ємів даних і характеристик досліджуваних випадкових процесів. Ця інформаційна технологія полягала у тому, що замість передавання великих масивів даних $\{x_i\}$, $i \in 1, n$, де n – об'єм вибірки $0 \leq x_i \leq 2^k$, k – розрядність бортового АЦП, передаванню підлягав масив даних, як правило, знаковою автокореляційною моделлю. Тому розроблення нових та вдосконалення існуючих спецпроцесорів кореляційного опрацювання даних є актуальним науковим завданням.