

ШВИДКОДІЮЧІ ПРИСТРОЇ МНОЖЕННЯ

Пристрої множення є необхідним елементом спеціалізованих комп'ютерних систем оброблення сигналів. У програмах розв'язання різних задач операції множення зустрічаються рідше ніж додавання і віднімання разом узяті. Проте для багатьох задач виявляється, що більшу частину часу машина зайнята виконанням множень, тому що одне множення вимагає, зазвичай, більше часу ніж одне додавання або віднімання. Тому алгоритмам виконання множення, способам його прискорення і раціональній побудові пристроїв множення завжди приділяли значну увагу в розробках і в теоретичних дослідженнях.

Розвиток нової елементної бази та нових комп'ютерних технологій вимагає нових підходів до проектування і оптимізації цього класу апаратно-виконуваних алгоритмів.

Сьогодні основним інструментом проектування комп'ютерних систем і їх елементів є архітектурна модель. Комп'ютерні засоби (незалежно від швидкодії елементної бази) мають такі характеристики: часова складність, об'єм обладнання (апаратна складність), об'єм пам'яті (ємнісна складність). Одиницею апаратної складності є транзистор або вентиль сукупності операційних пристроїв, одиницею ємнісної – байт, слово пристроїв операційної пам'яті.

Проте архітектурні методи не дають нам можливості описати інформаційні характеристики пристрою. SH-модель комп'ютерного алгоритму має список характеристик операційних пристроїв. Крім часової та апаратної складності вона використовує також програмну та структурну складність, які дозволяють оцінити обсяг інформації комп'ютерних пристроїв

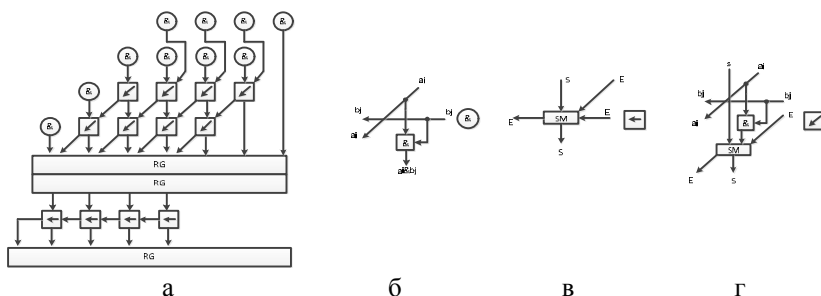
Метою роботи є отримання високої продуктивності роботи пристрою множення, разом з оптимізацією витрат на проектування пристрою, з використаними інформаційними характеристиками складності, що дають змогу повніше дослідити і описати комп'ютерну систему.

Пристрій множення використовують, як самостійну систему, так і як елементи трактів системи ЦОС. Під час проектування СКС цього напрямку, основну увагу приділяють отриманню високої продуктивності. Процес розроблення технічного об'єкта складається з трьох операцій: синтезу, аналізу та оптимізації. Для проведення синтезу

системи потрібно задати характеристики, які повинен задовільняти об'єкт розроблення. Це завдання пов'язується з параметричною оптимізацією характеристик складності SH-моделі. Синтезована структура аналізується, якщо вона не задовольняє задані характеристики складності, проводиться параметрична оптимізація.

Основними способами параметричної оптимізації є апаратне виконання функціональних залежностей; конверсія процесу оброблення; використання паралелізму процесів на всіх ієрархічних рівнях системи.

Розглянемо перемножувач, час спрацювання якого дорівнює часу спрацювання багаторозрядного суматора. У цьому сенсі актуальним є використання матричних перемножувачів, проте розглянуті матричні перемножувачі з горизонтальним і діагональним переносом і варіанти їх оптимізації не дали нам бажаного результату, ми не змогли досягти швидкодії одного багаторозрядного суматора. Тому наступним кроком стало розбиття пристрою множення на дві частини за допомогою конвеєрних регістрів, в результаті матричний перемножувач має часову складність, яка дорівнює часу спрацювання одного багаторозрядного суматора. Приклад цієї модифікації наведений на рисунку.



Конвеєризований матричний перемножувач з діагональним переносом (а); внутрішні схеми елементів матричного перемножувача (б, в, г)

У роботі розглянуто найпоширеніші алгоритми множення, проаналізовано основні підходи до теорії інформації, проаналізовано матричні перемножувачі і наведено приклади їх модернізації, а також розраховано характеристики складності матричних перемножувачів і кількість інформації у схемах.